

## 明 細 書

### クロック信号生成装置、半導体集積回路およびデータ再生方法 技術分野

[0001] 本発明は、情報が記録されている媒体から再生された再生信号を2値化するためのタイミング信号(クロック信号)を生成するPLL装置(クロック信号生成装置)、それに用いられる半導体集積回路およびデータ再生方法に関する。

### 背景技術

[0002] 従来、情報が記録されている光ディスクから情報を再生する場合、ディスクから再生した信号をPLL(Phase Locked Loop)回路へ入力し、PLL回路によって再生信号に同期したクロック信号を生成し、このクロック信号に同期して再生信号をデジタル化してデジタルデータを再生する(例えば、特許文献1参照)。

[0003] 図19は、クロック信号を生成する従来のPLL回路の構成を示すブロック図である。

[0004] 光ヘッド4102は、光ディスク4101に光ビームを照射し、光ディスク4101からの反射光量を検出して電気信号を出力する。アナログ信号処理回路4200は、光ヘッド4102から出力される電気信号から再生信号を抽出する。アナログ信号処理回路4200は、電気信号を増幅するプリアンプ4201と、増幅した信号の振幅が一定になるよう位相誤差を制御するゲイン制御回路(AGC)4202と、周波数特性を改善するイコライザ4203とを含む。

[0005] PLL回路4300は、再生信号に同期したクロック信号を生成する。PLL回路4300は、再生信号をクロック信号でデジタル化するA/D変換器301と、デジタル化したデジタル値の中心値がゼロとなるように低周波数成分を除去するオフセットキャンセラ4302と、オフセットキャンセル後のデジタル値から位相誤差値を算出する位相誤差算出器4303と、位相誤差値から不要な周波数帯域の成分を除去するループフィルタ4304と、ループフィルタ4304の出力値に応じた周波数のクロック信号を生成するクロック発振器4400とを含む。

[0006] クロック発振器4400は、ループフィルタ出力値を電圧信号に変換するD/A変換器4401と、電圧信号に応じたクロック信号を生成する電圧制御発振器(VCO)440

2とを含む。

[0007] 図20は、位相誤差算出器4303の動作を示すタイミング図である。図20の(A)は、オフセットキャンセラ4302の出力値(すなわち、オフセットキャンセル後のデジタル値)を示している。位相誤差算出器4303は、このデジタル値からゼロクロスポイントを検出し、ゼロクロスポイントを挟む2つのデジタル値のうち絶対値の小さい方の位置をゼロクロス検出位置として決定し(図20の(B))、ゼロクロス検出位置におけるデジタル値の傾きが上がりエッジの場合にはそのデジタル値をそのまま位相誤差値として出力し、逆にゼロクロス検出位置におけるデジタル値の傾きが下がりエッジの場合にはそのデジタル値に-1をかけた値を位相誤差値として出力する(図20の(C))。PLL回路4300は、位相誤差算出器4303から出力される位相誤差値に基づいて、位相誤差がゼロとなるようにクロック信号の周波数を制御するループとして動作する。

[0008] オフセットキャンセラ4302は、位相誤差値と、出力値の2値化信号の1と0のデュティ比に基づいて動作し、これらの値を加算し、さらに積算した値がゼロになるようことで、オフセットキャンセルするレベル、すなわち2値化するレベルを制御する(例えば、特許文献2参照)。

特許文献1:特開2000-100083号公報

特許文献2:特開2000-243032号公報

特許文献3:特開平10-107623号公報

特許文献4:特開2000-285605号公報

特許文献5:特開2002-334520号公報

特許文献6:特開2000-343025号公報

特許文献7:特許第3301691号公報

## 発明の開示

### 発明が解決しようとする課題

[0009] しかしながら、従来の技術では、位相誤差値を算出することができる範囲はクロック信号の±1/2周期だけであるため、PLL回路のキャプチャレンジが狭く、再生信号との周波数誤差が急激に大きくなったり、光ディスク上の埃や傷、指紋などによって再生信号の品質が悪化したときなどに、再生信号とクロック信号との同期が一度はず

れてしまうと再同期までに時間がかかり、最悪の場合全く同期がかからなくなってしまう、データを再生することができなくなってしまうという課題があった。

[0010] また、従来、再生信号とクロック信号との同期状態を判定するためには、再生信号に含まれるデータ再生用同期コードを検出する必要があった。そのため、光ディスク上の埃や傷、指紋などによって再生信号の品質が悪化したときなどに同期がはずれてしまっても、同期がはずれていることを検出するまでに時間がかかり、再生性能が悪化してしまうという課題があった。

[0011] 本発明は、前記従来の課題を解決するもので、再生信号とクロック信号の同期がはずれても即座に安定して再引込することにより再生性能を改善するクロック信号生成装置を提供することを目的とする。

[0012] また、従来の技術では、位相誤差を算出できる範囲はクロック信号の±1/2周期だけであるため、PLLのキャプチャレンジが狭く、再生信号とクロック信号との周波数が離れている場合には、PLLの引き込み動作に長い時間がかかるてしまう。これに対し、位相誤差値の時間軸における傾きから周波数誤差を算出し、得られた周波数誤差と位相誤差とに基づいてクロック信号の周波数を制御することにより、PLLのキャプチャレンジを拡大するクロック信号生成回路が提案されている(例えば、特許文献3、特許文献4参照)。

[0013] しかしながら、前記従来のPLLのキャプチャレンジを拡大する技術では、位相誤差値の傾きが急峻である箇所、すなわち位相誤差が180°変化した瞬間的状態からキャプチャエラー状態を判定しているため、光ディスク上の埃や傷、指紋あるいは光ディスクの面ぶれなどによって再生信号の品質が悪化したときなどには誤検出あるいは未検出になってしまい、PLLの引き込み時間が安定せず、データ再生できるまでの時間が長くなってしまうという課題があった。

[0014] また、キャプチャエラー状態の検出の精度を向上させるために、位相誤差値を複数保持し、保持した位相誤差値から位相誤差曲線の変位を検出していったが、既知の特定パターンではなく変調されたデータ区間ににおいて十分な検出確度を得るためにには多数の位相誤差値を保持する必要があり、回路規模が非常に大きくなってしまうという課題があった。

[0015] また、従来のオフセットキャンセラでは、再生信号の振幅が小さくなりやすい短マーク／スペース部の影響により、2値化レベルが振られやすく、再生信号の品質が悪い状態においては、誤ったレベルに2値化レベルが制御されてしまい、ゼロクロスポイントに基づいた位相誤差値の算出が正常に行われなくなり、PLL引き込みすることができなくなるという課題があった。

[0016] 本発明は、前記従来の課題を解決するもので、再生信号とクロック信号の周波数が離れており、かつ再生信号の品質が悪い場合においても、即座に安定してPLLの引き込みを行うことにより再生性能を改善するクロック信号生成装置を簡易な回路構成により実現することを目的とする。

#### 課題を解決するための手段

[0017] 本発明のクロック信号生成装置は、情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置であって、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA／D変換手段と、前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す位相誤差値を算出する位相誤差算出手段と、前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するループフィルタ手段と、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するクロック発振手段と、前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを判定する位相誤差範囲判定手段とを備え、前記位相誤差算出手段は、前記複数のデジタル値のゼロクロスポイントを検出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出し、これにより、上記目的が達成される。

[0018] 前記位相誤差範囲判定手段は、前記位相誤差値を平滑化するローパスフィルタ手

段を含み、前記位相誤差範囲判定手段は、前記ローパスフィルタ手段の出力値と所定の閾値との比較結果に基づいて前記位相誤差が前記所定の範囲内にあるかどうかを判定してもよい。

- [0019] 前記位相誤差範囲判定手段は、前記位相誤差が前記所定の範囲内にないと判定した場合には、前記ループフィルタ手段のゲインが高くなるように前記ループフィルタ手段を制御してもよい。
- [0020] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記位相誤差範囲判定手段による判定を有効とし、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記位相誤差範囲判定手段による判定を無効としてもよい。
- [0021] 前記デジタル値を2値化するレベルを検出し、前記レベルに基づいて前記デジタル値のオフセット成分をキャンセルするオフセットキャンセル手段をさらに備え、前記位相誤差算出手段は、前記オフセットキャンセル手段によってオフセットキャンセルされたデジタル値に基づいて、前記位相誤差値を算出してもよい。
- [0022] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記オフセットキャンセル手段のゲインが高くなるように前記オフセットキャンセル手段を制御し、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記オフセットキャンセル手段のゲインが低くなるように前記オフセットキャンセル手段を制御してもよい。
- [0023] 前記デジタル値を所定の区間毎に積算する積算手段と、前記積算手段による積算値を平均化する平均化手段と、前記積算手段による積算値と前記平均化手段による平均値との差が所定の閾値より大きいときにエラー検出するエラー検出手段をさらに備え、前記同期判定手段は、前記エラー検出手段によりエラー検出されたときは同期状態ないと判定してもよい。
- [0024] 本発明の半導体集積回路は、情報が記録された光ディスクから再生された再生信

号に同期したクロック信号を生成するクロック信号生成装置において使用される半導体集積回路であって、前記クロック信号生成装置は、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA/D変換手段と、前記クロック信号を生成するクロック発振手段とを含み、前記半導体集積回路は、前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す位相誤差値を算出する位相誤差算出手段と、前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するループフィルタ手段と、前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを判定する位相誤差範囲判定手段とを備え、前記位相誤差算出手段は、前記複数のデジタル値のゼロクロスポイントを検出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出し、前記クロック発振手段は、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成し、これにより、上記目的が達成される。

[0025] 本発明のデータ再生方法は、情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成し、前記クロック信号に同期して前記再生信号をデジタル化した再生データを出力するデータ再生方法であって、(a)前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するステップと、(b)前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す位相誤差値を算出するステップと、(c)前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するステップと、(d)前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するステップと、(e)前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを

判定するステップとを包含し、前記ステップ(b)は、前記複数のデジタル値のゼロクロスポイントを検出するステップと、

前記位相誤差範囲判定ステップにおいて前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出するステップと、前記位相誤差範囲判定ステップにおいて前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出するステップとを包含し、これにより、上記目的が達成される。

[0026] 本発明の他のクロック信号生成装置は、情報が記録されたディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置であって、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA/D変換手段と、前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す第1の位相誤差値を算出する第1の位相誤差算出手段と、前記第1の位相誤差値の変位の分布を検出する第1の変位分布検出手段と、前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果に基づいて、前記クロック信号の周波数を制御する制御信号を生成するループフィルタ手段と、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するクロック発振手段とを備え、これにより、上記目的が達成される。

[0027] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記第1の変位分布検出手段による検出を有効とし、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記第1の変位分布検出手段による検出を無効としてもよい。

[0028] 前記デジタル値を所定の区間毎に積算する積算手段と、前記積算手段による積算値を平均化する平均化手段と、前記積算手段による積算値と前記平均化手段による

平均値との差が所定の閾値より大きいときにエラー検出するエラー検出手段をさらに備え、前記同期判定手段は、前記エラー検出手段によりエラー検出されたときは同期状態にないと判定してもよい。

- [0029] 前記ループフィルタ手段は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成してもよい。
- [0030] 前記ループフィルタ手段は、前記分布の偏りが大きいときに、前記位相誤差値において偏りが小さくなる極性の値のみ用いてもよい。
- [0031] 前記変位分布検出手段は、前記変位の符号を積算することにより分布を検出してよい。
- [0032] 前記変位分布検出手段は、前記変位の絶対値が所定の値より大きいときのみ前記変位の符号を積算してもよい。
- [0033] 前記変位分布検出手段は、前記変位の絶対値が所定の値より小さいときは、前記変位の符号を積算した積算値の絶対値が小さくなる方向に前記積算値を増加あるいは減少させてもよい。
- [0034] 前記デジタル値の高域成分を強調する高域強調フィルタ手段と、前記高域強調フィルタ手段の出力信号に基づいて前記再生信号と前記クロック信号との位相誤差を示す第2の位相誤差値を算出する第2の位相誤差算出手段と、前記第2の位相誤差値の変位の分布を検出する第2の変位分布検出手段とをさらに備え、前記ループフィルタ手段は、前記第2の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成してもよい。
- [0035] 前記デジタル値を2値化するレベルを検出し、前記レベルに基づいて前記デジタル値のオフセット成分をキャンセルするオフセットキャンセル手段をさらに備え、前記第1の位相誤差算出手段は、前記オフセットキャンセル手段によってオフセットキャンセルされたデジタル値に基づいて前記第1の位相誤差値を算出し、前記高域強調フィルタ手段は、前記オフセットキャンセル手段に含まれていてもよい。
- [0036] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態にないと判定した場合には前記オフセットキ

ヤンセル手段のゲインが高くなるように前記オフセットキャンセル手段を制御し、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記オフセットキャンセル手段のゲインが低くなるように前記オフセットキャンセル手段を制御してもよい。

[0037] 本発明の他の半導体集積回路は、情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置において使用される半導体集積回路であって、前記クロック信号生成装置は、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA／D変換手段と、前記クロック信号を生成するクロック発振手段とを含み、前記半導体集積回路は、前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す第1の位相誤差値を算出する第1の位相誤差算出手段と、前記第1の位相誤差値の変位の分布を検出する第1の変位分布検出手段と、前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果とにに基づいて、前記クロック信号の周波数を制御する制御信号を生成するループフィルタ手段とを備え、前記ループフィルタ手段は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成し、前記クロック発振手段は、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成し、これにより上記目的が達成される。

[0038] 本発明の他のデータ再生方法は、情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成し、前記クロック信号に同期して前記再生信号をデジタル化した再生データを出力するデータ再生方法であって、(a)前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するステップと、(b)前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す第1の位相誤差値を算出するステップと、(c)前記第1の位相誤差値の変位の分布を検出するステップと、(d)前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果とにに基づいて、前記クロック信号の周波数を制御する制御信号を生成するステップと、(e)前記制御信号に応じた周波数を有する

信号を前記クロック信号として生成するステップとを包含し、前記ステップ(d)は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成するステップを包含し、これにより上記目的が達成される。

[0039] 以上の本発明において、位相誤差の範囲を判定した結果に基づいて位相誤差値を算出することにより、位相誤差値を算出することができる範囲をクロック信号の±1周期まで拡大することができる。

[0040] また、ループフィルタ手段から出力される制御信号に基づいて再生信号とクロック信号との位相同期状態を即座に判定し、クロック信号生成装置を適切に制御することにより安定したクロック信号を生成することができる。

### 発明の効果

[0041] 本発明のクロック信号生成装置によれば、位相誤差値を算出することが可能な範囲の補正を行うことによりキャプチャレンジを拡大することができ、再生信号の周波数が急激に変化して同期がはずれた場合でも再同期をかけることが可能となる。

[0042] また、位相誤差値の範囲の判定結果と同期状態の判定結果とに応じて、ループフィルタ手段やオフセットキャンセル手段のゲインや位相誤差範囲判定手段を制御することにより、再生信号とクロック信号とが同期状態にないときはゲインを高く、位相誤差値を算出する範囲を広くして素早く同期状態まで引き込み、再生信号とクロック信号とが同期状態にあるときはゲインを低く、位相誤差値を算出する範囲の補正を行わないようにして安定したクロック信号を生成することができる。

[0043] さらに、本発明の他のクロック信号生成装置によれば、位相誤差値の変位の分布を求め、その偏りを検出する。検出した偏りが大きいときには、偏りがなくなるように位相誤差値を基にクロック信号の周波数を制御する制御信号を生成する。これにより、PLLが再生信号とクロック信号との周波数誤差をキャプチャできていない状態を再生信号の品質が悪い状態であっても正確に検出することができ、検出結果に応じて周波数誤差がキャプチャレンジ内におさまるようにクロック信号の周波数を制御することにより、その後安定したクロック信号を生成することができるようになる。

[0044] また、本発明の一つの実施の形態によれば、位相誤差値の変位の分布を、位相誤差値の変位の符号を積算した積算値により求めることにより、多数の位相誤差値を保

持する必要がなく、小規模な回路で高精度な検出を実現することができる。

[0045] また、本発明の一つの実施の形態によれば、高域強調フィルタ手段により短マーク／スペース部の振幅を増幅させることで2値化レベルの検出精度を向上させ、PLLの引き込み動作を安定させることができる。

### 図面の簡単な説明

[0046] [図1]図1は本発明の実施の形態1におけるPLL回路の構成を示すブロック図  
[図2]図2は本発明の実施の形態1における位相誤差算出の動作を示すタイミング図  
[図3]図3は本発明の実施の形態1における位相誤差範囲判定回路の構成を示すブロック図  
[図4]図4は本発明の実施の形態1における位相誤差範囲判定の動作を示すタイミング図  
[図5]図5は本発明の実施の形態1における同期判定回路の構成を示すブロック図  
[図6]図6は本発明の実施の形態1におけるステートマシンの状態遷移図  
[図7]図7は本発明の実施の形態1における振幅エラー検出の動作を示すタイミング図  
[図8]図8は本発明の実施の形態1における同期状態判定の動作を示すタイミング図  
[図9]図9は本発明の実施の形態2におけるクロック信号生成回路の構成を示すブロック図  
[図10]図10は本発明の実施の形態2における変位分布検出器の構成を示すブロック図  
[図11]図11は本発明の実施の形態2における変位分布検出器の動作を示すタイミング図  
[図12]図12は本発明の実施の形態2における変位分布検出器の動作を示すタイミング図  
[図13]図13は本発明の実施の形態2における変位分布検出器の動作を示すタイミング図  
[図14]図14は本発明の実施の形態2におけるループフィルタの構成を示すブロック図

[図15]図15は本発明の実施の形態2における変位分布検出器とループフィルタの動作を示すタイミング図

[図16]図16は本発明の実施の形態3におけるクロック信号生成回路の構成を示すブロック図

[図17]図17は本発明の実施の形態3における高域強調フィルタの構成を示すブロック図

[図18]図18は本発明の実施の形態4におけるディスク装置の構成を示すブロック図

[図19]図19は従来のPLL回路の構成を示すブロック図

[図20]図20は従来のPLL回路の位相誤差算出の動作を示すタイミング図

#### 符号の説明

- [0047] 101 光ディスク
- 102 光ヘッド
- 103 モータ
- 200 アナログ信号処理回路
- 201 プリアンプ
- 202 AGC
- 203 イコライザ
- 300 PLL回路
- 301 A/D変換器
- 302 オフセットキャンセラ
- 303 位相誤差算出器
- 304 ループフィルタ
- 400 クロック発振器
- 401 D/A変換器
- 402 VCO
- 500 位相誤差範囲判定器
- 501 遅延器
- 502 コンパレータ

- 600 同期判定器
- 601 DCレベル検出器
- 602 LPF
- 603 減算器
- 604 コンパレータ
- 605 ACレベル検出器
- 606 LPF
- 607 減算器
- 608 コンパレータ
- 609 標準偏差算出器
- 610 コンパレータ
- 611 連続判定器
- 612 ステートマシン
- 613 ゲート生成器
- 1101 光ディスク
- 1102 光ヘッド
- 1102a 光ビーム
- 1102b 電気信号
- 1103 モータ
- 1200 アナログ信号処理回路
- 1200a 再生信号
- 1200b サーボ用再生信号
- 1201 プリアンプ
- 1202 AGC
- 1203 イコライザ
- 1300 クロック信号生成回路
- 1301 A/D変換器
- 1301a デジタル値

- 1302 オフセットキャンセラ
- 1302a オフセットキャンセル後のデジタル値
- 1303 位相誤差算出器
- 1303a 位相誤差値
- 1303b 位相誤差算出タイミング信号
- 1304 ループフィルタ
- 1304a 制御信号
- 1305 分布検出用位相誤差算出器
- 1305a 分布検出用位相誤差算出値
- 1305b 分布検出用位相誤差算出タイミング信号
- 1400 クロック発振器
- 1401 D/A変換器
- 1402 VCO
- 1400a クロック信号
- 1500 変位分布検出器
- 1501 微分フィルタ
- 1502、1504、1505、1506 遅延器
- 1503、1510 加算器
- 1507、1508、1509 減算器
- 1501a 微分フィルタ出力値
- 1501b 微分フィルタ出力値の符号
- 1511 コンパレータ
- 1512 積算器
- 1512a 符号の積算値
- 1513 コンパレータ
- 1500a 分布検出結果
- 1601 リードチャネル回路
- 1601a 再生データ

- 1602 データ復調回路
- 1602a データ復調結果
- 1603 アドレスデコーダ
- 1603a アドレス値
- 1604 バッファメモリ
- 1605 CPU
- 1606 サーボ回路
- 1606a モータ駆動信号
- 1606b 光ヘッド駆動信号
- 1607 インターフェース
- 1701、1702、1703、1704、1705 遅延器
- 1706、1707、1708、1709、1710 乗算器
- 1711 加算器
- 3021 ゼロレベル検出器
- 3021a ゼロレベル検出値
- 3022 2値化DUTY検出器
- 3022a 2値化検出値
- 3023 積算器
- 3023a 2値化レベル値
- 3024 高域強調フィルタ
- 3024a 高域強調フィルタ出力値
- 3025 減算器
- 3041 位相誤差マスク器
- 3042、3045 増幅器
- 3043、3046 加算器
- 3044 遅延器

発明を実施するための最良の形態

[0048] 以下、図面を参照しながら、本発明に係るPLL装置(クロック信号生成装置)の実

施の形態を説明する。

[0049] (実施の形態1)

図1は、本発明の実施の形態1におけるPLL装置の構成を示すブロック図である。

[0050] 光ヘッド102は、光ディスク101に光ビームを照射し、光ディスク101からの反射光量を検出して電気信号を出力する。アナログ信号処理回路200は、光ヘッド102から出力される電気信号から再生信号を抽出する。アナログ信号処理回路200は、電気信号を増幅するプリアンプ201と、増幅した信号の振幅が一定になるように制御するゲイン制御回路(AGC)202と、周波数特性を改善するイコライザ203とを含む。

[0051] 次に、PLL回路300の構成を説明する。

[0052] PLL回路300は、再生信号に同期したクロック信号を生成する。クロック信号生成回路300は、再生信号をクロック信号でデジタル化するA／D変換器301と、デジタル化したデジタル値の中心値がゼロとなるように低周波数成分を除去するオフセットキャンセラ302と、オフセットキャンセラ302から出力されるデジタル値とクロック信号との位相誤差を算出する位相誤差算出器303と、位相誤差算出器303による位相誤差値の算出範囲の補正を制御する位相誤差範囲判定器500と、位相誤差値から不要な周波数帯域の成分を除去するループフィルタ304と、ループフィルタ304の出力値に応じた周波数を有するクロック信号を生成するクロック発振器400と、ループフィルタ出力値から再生信号とクロック信号の位相同期状態を判定する同期判定器600とを含む。

[0053] A／D変換器301によりデジタル化されたデジタル値には、アナログ信号処理回路200において除去されずに残存した不要な低周波数帯域の成分が含まれている。オフセットキャンセラ302は、この低周波数帯域の成分を抽出し、デジタル値から抽出したオフセット値を減算することにより、低周波数帯域成分を除去する。これによって、光ディスク101の情報記録面上に埃や指紋が付着し、再生信号が低周波数で揺らいだりする場合にも、安定したクロック生成動作を行うことが可能となる。

[0054] 位相誤差算出器303は、オフセットキャンセル後のデジタル値に基づいて位相誤差値を算出する。図2は、位相誤差算出器303の動作を示すタイミング図である。図2の(A)は、オフセットキャンセル後のデジタル値を時系列に示している。これらのデ

ジタル値の中から、ゼロクロスポイントの前後にある2つのデジタル値を検出し、その2つのデジタル値のうち絶対値の小さい方の位置をゼロクロス検出位置として決定する(図2の(B))。また、2つのデジタル値のうちもう一方の位置を補正ゼロクロス検出位置として決定する(図2の(C))。ゼロクロス検出位置と補正ゼロクロス検出位置のうち、位相誤差範囲判定器500による判定信号が補正なしを示す“L”である場合には、ゼロクロス検出位置を選択し、逆に補正ありを示す“H”である場合には、補正ゼロクロス検出位置を選択する(図2の(D)(E))。位相誤差値は、選択された位置においてデジタル値の傾きが上がりエッジである場合には、そのデジタル値をそのまま位相誤差値として出力し、選択された位置においてデジタル値の傾きが下がりエッジである場合には、そのデジタル値に-1を乗算した値を位相誤差値として出力する。

[0055] ループフィルタ304によって位相誤差値から不要な周波数帯域成分が除去される。ループフィルタ304の出力値は、クロック発振器400に入力される。クロック発振器400は、ループフィルタ304の出力値を電圧信号に変換するD/A変換器401と、電圧制御発振器(VCO)402とを含む。VCO402によって生成されるクロック信号の周波数は、ループフィルタ304の出力値が大きくなり、D/A変換器401の出力電圧が高くなると、高くなる。また、VCO402によって生成されるクロック信号の周波数は、ループフィルタ304の出力値が小さくなり、D/A変換器401の出力電圧が低くなると、低くなる。従って、PLL回路300は、位相誤差算出器303によって算出された位相誤差値が正の値の場合にはクロック信号の周波数が高くなるように動作し、位相誤差算出器303によって算出された位相誤差値が負の値の場合にはクロック信号の周波数が低くなるよう動作する。

[0056] 図3は、位相誤差範囲判定器500の構成を示すブロック図である。位相誤差算出器303によって算出された位相誤差値をP倍し、それを遅延器501によって遅延された値に(1-P)倍した値と加算し、再度その加算値を遅延器501に入力する。Pの値は、例えば1/2とすれば良い。遅延器501を含むループ回路は、位相誤差算出器303によって位相誤差値が算出される毎に動作するものであり、これによって、遅延器501の出力値は、位相誤差値が増加あるいは減少を続ける場合に、その絶対値が大きくなっていく。コンパレータ502は、遅延器501の出力値が所定の+側閾値よ

り大きくなった場合、あるいは所定の一側閾値より小さくなった場合に位相誤差算出範囲の補正が必要になるとして、位相誤差範囲判定信号を出力する。

[0057] 図4は、位相誤差範囲判定器500の動作を示すタイミング図である。図4の(A)は、再生信号とクロック信号が同期している場合のデジタル値を示しており、ゼロクロス検出位置での値はゼロになる。一方、図4の(B)は、再生信号に対してクロック信号の周波数が低い場合のデジタル値を示している。クロック信号の周波数が低いため、数周期毎に再生信号に対してクロック信号の位相がクロック信号の1/2周期以上遅れてしまう。図4の(C)はこのときの位相誤差値を示している。位相誤差算出範囲の補正がない場合には位相誤差算出範囲は±1/2周期しかないため、クロック信号の位相の遅れが1/2周期以内に収まっている間は位相誤差値はクロック信号の周波数UPを示す値となるが、1/2周期以上遅れてしまうと一転して周波数DOWNを示す値となってしまい、同期したクロック信号を生成できなくなってしまう。図4の(D)は、これに対する位相誤差範囲判定器500における遅延器501の値を示している。クロック信号の周波数が低い場合には、遅延器501の出力値は正側で絶対値が増加し、再生信号に対するクロック信号の位相が1/2周期遅れるようになるときには所定の+側閾値を超えるようになり、その結果、位相誤差範囲の補正が必要として、位相誤差範囲判定信号は”H”となる(図4の(E))。位相誤差算出器303は、位相誤差範囲判定信号に基づいて、補正ゼロクロス検出位置を選択し、これによって位相誤差を算出することが可能な範囲は+1/2周期～+1周期の範囲となり、位相が+1周期をこえない間は継続して周波数UPを示す位相誤差値を出力することができる。その結果、安定に同期したクロック信号を生成することができる。また、クロック信号の周波数が高い場合には、遅延器501の出力値は負側で絶対値が増加し、再生信号に対するクロック信号の位相が1/2周期進んでしまうようになるときには所定の一側閾値を超えるようになり、その結果、位相誤差範囲判定信号は”H”となる。位相誤差算出器303は、位相誤差範囲判定信号に基づいて、補正ゼロクロス検出位置を選択し、これによって位相誤差を算出することが可能な範囲は-1/2周期～-1周期の範囲となり、位相が-1周期をこえない間は継続して周波数DOWNを示す位相誤差値を出力することができる。ここで、+側閾値と一側閾値の値は、A/D変換器301に入力さ

れる再生信号の振幅が、アナログ信号処理回路200のゲイン制御回路(AGC)202により一定になるように制御されるため、その振幅に応じた値に決めることができる。

[0058] 次に、同期判定器600の動作を説明する。

[0059] 図5は、同期判定器600の構成を示すブロック図である。同期判定器600は、A／D変換器301から出力されるデジタル値のDCレベルを検出するDCレベル検出器601と、DCレベル検出値の変化を平滑化するローパスフィルタ(LPF)602と、DCレベル検出値とLPF出力値の差分を算出する減算器603と、その差分値と所定のDCエラー検出閾値との比較を行うコンパレータ604と、A／D変換器301から出力されるデジタル値のACレベルを検出するACレベル検出器605と、ACレベル検出値の変化を平滑化するローパスフィルタ(LPF)606と、ACレベル検出値とLPF出力値の差分を算出する減算器607と、その差分値と所定のACエラー検出閾値との比較を行うコンパレータ608と、ループフィルタ304の出力値の標準偏差を算出する標準偏差算出器609と、その標準偏差と所定の標準偏差閾値との比較を行うコンパレータ610と、比較結果の連続性を判定する連續判定器611と、以上の検出結果に基づいて動作するステートマシン612と、ステートに応じてPLL回路300の動作を制御するゲート生成器613とを含む。

[0060] 図7の(A)は、デジタル値のDC変動を検出する動作を示すタイミング図である。DCレベル検出器601は、A／D変換器301から出力されるデジタル値を所定の区間毎に積算した値を求めるものであり、その区間は、検出すべきDC変動成分の周期に対して充分に短く、かつデジタル値が表す情報ビットの”1”と”0”の比率がほぼ1:1となる区間より長くすればよい。DCレベル検出値がLPF602で平滑化されることにより、DCレベル検出値の平均値が求められる。LPF602は、検出すべきDC変動成分が除去されるような周波数特性にすればよい。減算器603において、DCレベル検出値とその平均値との差分が算出され、DC変動が発生した場合には差分値の絶対値が大きくなり、コンパレータ604によりDCエラー検出閾値を超えた場合にDCエラーとして検出される。

[0061] 図7の(B)は、デジタル値のAC変動を検出する動作を示すタイミング図である。ACレベル検出器605は、A／D変換器301から出力されるデジタル値を所定の区間

毎にその絶対値を積算した値を求めるものであり、その区間は、検出すべきAC変動成分の周期に対して充分に短くすればよい。ACレベル検出値がLPF606で平滑化されることにより、ACレベル検出値の平均値が求められる。LPF606は、検出すべきAC変動成分が除去されるような周波数特性にすればよい。減算器607において、ACレベル検出値とその平均値との差分が算出され、AC変動が発生した場合には差分値の絶対値が大きくなり、コンパレータ608によりACエラー検出閾値を超えた場合にACエラーとして検出される。

[0062] 図8は、再生信号とクロック信号との同期状態に応じたループフィルタ304の出力値の変化を示すタイミング図である。標準偏差算出器609は、所定の区間毎にループフィルタ304の出力値の標準偏差を算出する。標準偏差値は、再生信号とクロック信号とが同期していない場合には大きく、同期すると小さくなる。この標準偏差値の変化をコンパレータ610において所定の標準偏差閾値と比較することにより、区間毎の同期状態の判定を行う。さらに、連続判定器611において、区間毎の同期状態の判定結果が所定回数連續して同期OK判定であれば再生信号とクロック信号の同期はロックしているとしてロック検出信号を出力し、逆に判定結果が所定回数連續して同期NG判定であれば同期はアンロックしているとしてアンロック検出信号を出力する。これによって、正確に同期状態を判定することができるようになる。

[0063] ステートマシン612は、以上に述べたDCエラー検出信号、ACエラー検出信号と、ロック検出信号、アンロック検出信号に基づいて状態遷移し、ゲート生成器613はステートマシン612の状態に基づいて、位相誤差範囲判定器500の動作を制御する位相誤差範囲判定イネーブル信号と、ループフィルタ304のゲインを制御するループフィルタゲイン切替信号と、オフセットキャンセラ302のゲインを制御するオフセットキャンセラゲイン切替信号とを出力する。

[0064] 図6は、ステートマシン612の状態遷移と、ゲート生成器613の各状態における動作を示す図である。PLL回路300の動作がスタートするとステートマシンの状態はステート”0”から動作をはじめる。ステート”0”では、再生信号とクロック信号の周波数の誤差は大きいため、引込動作を安定させるために位相誤差範囲判定器500を動作させ、引込時間を短縮するためにループフィルタ304のゲインを高くし、デジタル値の

中心が即座にゼロとなるように制御するためオフセットキャンセラ302のゲインを高くする。ロック検出信号が出力されると、状態はステート”1”へと遷移する。ステート”1”では、再生信号とクロック信号の周波数の誤差は充分に小さくなっているため位相誤差範囲判定は必要なく、また再生信号の品質低下により位相誤差範囲判定が誤動作してPLL回路300を不安定にしてしまうことを防ぐために位相誤差範囲判定器500の動作を停止させる。一方、位相やデジタル値のオフセットキャンセル制御はまだ充分に引き込むまでに至っていないため、どちらのゲインも高いままとしておく。ここでロック検出信号が出力されると状態はステート”3”へと遷移し、アンロック検出信号が出力されると再度ステート”0”へと遷移する。ステート”3”は、再生信号とクロック信号は完全に同期したと判定された状態であり、PLL回路300全体の動作を安定させるため、位相誤差範囲判定器500の動作は停止したままで、ループフィルタ304のゲインを低くし、オフセットキャンセラ302のゲインも低くする。ここで、アンロック検出されるとステート”0”へと遷移し、DCエラー検出あるいはACエラー検出されるとステート”2”へと遷移する。ステート”2”は、デジタル値のDC変動あるいはAC変動の影響により、オフセットキャンセラ302の制御が不安定になっている可能性があり、これによつて位相誤差算出器303によって正確な位相誤差値が算出できなくなっている恐れがあることを示している。従つて、デジタル値の中心がゼロになるように即座に再引込させるためにオフセットキャンセラ302のゲインのみ高くすればよい。そして、ロック検出されると再度ステート”3”へと遷移し、安定に引き込めなくなりアンロック検出された場合にはステート”0”へと遷移することになる。

[0065] 以上述べたように、本実施の形態によれば、位相誤差範囲判定とそれに応じた位相誤差の算出により、位相誤差を算出できる範囲がクロック信号の±1/2周期から±1周期まで拡大することが可能となり、再生信号とクロック信号の周波数誤差が大きい場合にも正確に位相誤差を算出し、安定して再生信号に同期したクロック信号を生成することができる。

[0066] また、ループフィルタ304の出力値の標準偏差に基づいて再生信号とクロック信号の同期状態を判定し、その結果に応じて位相誤差範囲判定器500とループフィルタ304の動作を制御することにより、PLL回路300の動作開始からロック状態になるま

での引込動作を安定させ、かつ引込時間を短縮することが可能となる。

[0067] また、A／D変換器301によるデジタル値から再生信号のDC変動やAC変動のエラー検出を行い、その結果に応じてオフセットキャンセラ302の動作を制御することにより、光ディスク101の情報記録面上の傷や埃、指紋などの影響で再生動作が不安定になっても即座に再生可能な状態に復帰することができ、再生性能を向上させることが可能となる。

[0068] なお、本実施の形態において、再生信号のA／D変換後にオフセットキャンセルを行う構成としたが、検出したオフセット量をD／A変換してアナログ信号処理回路200内にてオフセットをキャンセルしてもよい。

[0069] なお、PLL回路300の構成からオフセットキャンセラ302を省略してもよい。この場合には、位相誤差算出器303は、A／D変換器301から出力されるデジタル値に基づいて位相誤差値を算出するようにすればよい。

[0070] なお、PLL回路300の一部もしくは全部を单一の半導体チップ上に形成してもよい。例えば、図1に示されるPLL回路300の構成のうち、オフセットキャンセラ302、位相誤差算出器303、ループフィルタ304、位相誤差範囲判定器500および同期判定器600を半導体集積回路として実現してもよい。

[0071] なお、本実施の形態において、ステートマシン612とゲート生成器613の動作を図6に示す動作としたが、これに限定されるものではない。

[0072] (実施の形態2)

図9は、本発明の実施の形態2におけるクロック信号生成装置の構成を示すプロック図である。

[0073] 図9に示すクロック信号生成装置は、情報が記録されている光ディスク1101を用いてクロック信号を生成する。クロック信号生成装置は、光ヘッド1102と、アナログ信号処理回路1200と、クロック信号生成回路1300とを備える。

[0074] 光ヘッド1102は、光ディスク1101に光ビーム1102aを照射し、光ディスク1101からの反射光量を検出して、反射光量に基づいて電気信号1102bを生成する。

[0075] アナログ信号処理回路1200は、電気信号1102bから再生信号1200aを抽出する。電気信号1102bを増幅するプリアンプ1201と、増幅した信号の振幅が一定になる

ように制御するゲイン制御回路(AGC)1202と、周波数特性を改善するイコライザ1203とを備える。

[0076] クロック信号生成回路1300は、再生信号1200aとクロック信号1400aとの位相差がゼロに近づくように動作するPLLとして機能し、再生信号1200aに同期したクロック信号1400aを生成する。クロック信号生成回路1300は、再生信号1200aをクロック信号1400aに同期してデジタル化するA／D変換器1301と、A／D変換器1301から出力されるデジタル値1301aの中心レベルがゼロになるように制御するオフセットキャンセラ1302と、オフセットキャンセラ1302から出力されるデジタル値1302aとクロック信号1400aとの位相誤差値1303aを算出する位相誤差算出器1303と、位相誤差値1303aの変位の分布の偏りを検出する変位分布検出器1500と、位相誤差値1303aから不要な周波数帯域の成分を除去するループフィルタ1304と、ループフィルタ出力値1304aに基づいた周波数のクロック信号1400aを生成するクロック発振器1400とを備える。

[0077] A／D変換器1301によりデジタル化されたデジタル値1301aには、アナログ信号処理回路1200において除去されずに残存した不要な低周波数帯域の成分が含まれている。オフセットキャンセラ1302は、この低周波数帯域の成分を抽出し、デジタル値1301aから抽出したオフセット値を減算することにより、低周波数帯域成分を除去する。これによって、光ディスク1101の情報記録面上に埃や指紋が付着し、再生信号1200aが低周波数で揺らいだりする場合にも、安定したクロック生成動作を行うことが可能となる。

[0078] 位相誤差算出器1303は、オフセットキャンセル後のデジタル値1302aから位相誤差値1303aを算出する。位相差算出器1303の動作のタイミングは、図19に示される位相差算出器303の動作のタイミングと同様である(図20の(A)参照)。すなわち、位相誤差算出器1303は、ゼロクロスポイントを検出し、ゼロクロスポイントの前後にある2つのデジタル値のうち絶対値の小さい方の位置をゼロクロス位置として決定し(図20の(B))、ゼロクロス検出位置におけるデジタル値の傾きが上がりエッジの場合にはそのデジタル値をそのまま位相誤差値として出力し、ゼロクロス検出位置におけるデジタル値の傾きが下がりエッジの場合にはそのデジタル値に-1をかけた値を位相

誤差値として出力する(図20の(C))。

[0079] ループフィルタ1304によって位相誤差値1303aから不要な周波数帯域成分が除去される。ループフィルタ1304の出力値は、クロック発振器1400に入力される。クロック発振器1400は、ループフィルタ1304の出力値1304aを電圧信号に変換するD/A変換器1401と、電圧制御発振器(VCO)1402とを含む。VCO1402によって生成されるクロック信号1400aの周波数は、ループフィルタ1304の出力値1304aが大きくなり、D/A変換器1401の出力電圧が高くなると、高くなる。また、VCO1402によって生成されるクロック信号1400aの周波数は、ループフィルタ1304の出力値1304aが小さくなり、D/A変換器1401の出力電圧が低くなると、低くなる。従って、位相誤差算出器1303により算出された位相誤差値1303aが正の値の場合にはクロック信号1400aの周波数が高くなるようにPLLは動作し、負の値の場合には低くなるように動作する。

[0080] 次に、変位分布検出器1500を詳細に説明する。

[0081] 図10は、変位分布検出器1500の構成を示すブロック図である。変位分布検出器1500は、位相誤差値1303aを微分することにより変位(微分フィルタ出力値1501a)を求める微分フィルタ1501と、微分フィルタ出力値1501aの分布の偏りを検出する回路とを含む。

[0082] 微分フィルタ1501において、1502は位相誤差算出器1303による位相誤差算出タイミング毎に位相誤差値1303aをラッチして保持する遅延器であり、加算器1503において2回分の位相誤差値1303aを加算することにより、位相誤差値1303aのノイズ成分を除去するとともに、その分解能を高めている。1504、1505、1506は、同じく位相誤差算出タイミング毎に加算器1503の出力値をラッチして保持する遅延器であり、減算器1507、1508、1509によって、それぞれ加算器1503の出力値との間で微分を行っている。さらに、加算器1510において、3つの微分値を加算することにより、微分結果のノイズ成分を除去するとともに、その分解能を高めている。

[0083] 微分フィルタ出力値1501aは、コンパレータ1511により所定の閾値Aと絶対値比較され、微分フィルタ出力値1501aの方が大きい場合には、積算器1512において微分フィルタ出力値1501aの符号1501bに応じて積算が行われる。符号1501bが

正の場合には、積算値1512aに対して+1の加算を行い、負の場合には-1の減算を行う。また、コンパレータ1511による比較において微分フィルタ出力値1501aの方が小さい場合には、積算器1512における積算値1512aの絶対値が小さくなるように加算あるいは減算を行う。積算値1512aが負の値の場合には+1の加算を行い、正の値の場合には-1の減算を行う。これによって、微分フィルタ出力値1501aが正側に偏っていると積算値1512aは正側に徐々に増加し、逆に負側に偏っていると負側に徐々に増加していく。また、微分フィルタ出力値1501aの絶対値が小さい場合には、積算値1512aはゼロ付近の値を保つようになる。

[0084] 積算値1512aは、コンパレータ1513により所定の閾値Bと絶対値比較され、比較結果を分布検出結果1500aとして出力する。積算値1512aの方が小さい場合には、分布検出結果1500aとして、微分フィルタ出力値1501aの分布に偏りがないことを示す値、例えば0を出力する。積算値1512aの方が大きい場合には、分布検出結果1500aとして、積算値1512aが負の値の場合には微分フィルタ出力値1501aの分布が負側に偏っていることを示す値、例えば-1を出力し、積算値1512aが正の値の場合には微分フィルタ出力値1501aの分布が正側に偏っていることを示す値、例えば+1を出力する。

[0085] 図11、図12、図13は、変位分布検出器1500の動作を示すタイミング図である。

[0086] 図11は、再生信号1200aとクロック信号1400aとの周波数がPLLがキャプチャできる範囲内でほぼ一致している場合の動作を示している。図11において、(A)は位相誤差値1303a、(B)は微分フィルタ出力値1501a、(C)は積算値1512aの時間軸における変化を示している。周波数がほぼ一致している場合には、(A)に示すように位相誤差値1303aは、再生信号1200aのノイズ成分やクロック信号1400aのジッタ成分の影響によりゼロ付近でばらついた値をとるようになる。従って、(B)のように微分フィルタ出力値1501aも正と負のどちらに偏ることなく、ゼロ付近でばらついた値をとることになり、(C)に示す積算値1512aもゼロ付近の値を保つようになる。

[0087] 図12は、再生信号1200aに対してクロック信号1400aの周波数がPLLがキャプチャできないだけ低い側にずれている場合の動作を示している。図12において、(A)は位相誤差値1303a、(B)は微分フィルタ出力値1501a、(C)は積算値1512aの

時間軸における変化を示している。クロック信号1400aの周波数が低い場合には、(A)に示すように位相誤差値1303aは、再生信号1200aのノイズ成分やクロック信号1400aのジッタ成分の影響により高周波数域のばらつくのに加え、右上がりの傾きをもつ鋸歯状の低周波数成分を有した値となる。従って、(B)のように微分フィルタ出力値1501aは、位相誤差値1303aの変化が右上がりの区間では概ね正の値となり、位相誤差値1303aが急激に小さくなる区間では概ね負の値となる。右上がりの区間が大半を占めるため、積算値1512aは(C)に示すように、徐々に正側に増加するようになり、これによってクロック信号1400aの周波数がキャプチャできないだけ低い側にずれていることを検出することが可能となる。

[0088] 図13は、再生信号1200aに対してクロック信号1400aの周波数がPLLがキャプチャできないだけ高い側にずれている場合の動作を示している。図13において、(A)は位相誤差値1303a、(B)は微分フィルタ出力値1501a、(C)は積算値1512aの時間軸における変化を示している。クロック信号1400aの周波数が高い場合には、(A)に示すように位相誤差値1303aは、再生信号1200aのノイズ成分やクロック信号1400aのジッタ成分の影響により高周波数域のばらつくのに加え、右下がりの傾きをもつ鋸歯状の低周波数成分を有した値となる。従って、(B)のように微分フィルタ出力値1501aは、位相誤差値1303aの変化が右下がりの区間では概ね負の値となり、位相誤差値1303aが急激に大きくなる区間では概ね正の値となる。右下がりの区間が大半を占めるため、積算値1512aは(C)に示すように、徐々に負側に増加するようになり、これによってクロック信号1400aの周波数がキャプチャできないだけ高い側にずれていることを検出することが可能となる。

[0089] また、図11から図13の(A)に示すように位相誤差値1303aは再生信号1200aの品質やクロック信号1400aのジッタ成分に応じてばらつくが、積算器1512により積算しているため(C)に示すようにキャプチャできない場合の周波数のずれ方向を正確に検出することが可能となる。

[0090] 次に、ループフィルタ1304の動作を詳細に説明する。

[0091] 図14は、ループフィルタ1304の構成を示すブロック図である。ループフィルタ1304は、位相誤差値1303aの値を分布検出結果1500aに応じてマスク処理する位相

誤差マスク器3041と、マスク処理後の位相誤差値をa倍する増幅器3042と、同じくマスク処理後の位相誤差値を位相誤差算出タイミング毎に積算する加算器3043および遅延器3044と、位相誤差値の積算値をb倍する増幅器3045と、2つの増幅器3042、3045の出力値を加算する加算器3046とを含む。加算器3046から出力される制御信号1304aはクロック発信器1400に入力される。

[0092] 位相誤差マスク器3041は、分布検出結果1500aが微分フィルタ出力値の分布が偏っていないことを示している場合には位相誤差値1303aをそのまま出力する。正側に偏っていることを示している場合には、位相誤差値1303aが正の値の場合はそのまま出力し、負の値の場合にはマスクして位相誤差値を出力しない。逆に負側に偏っていることを示している場合には、位相誤差値1303aが負の値の場合はそのまま出力し、正の値の場合にはマスクして位相誤差値を出力しない。

[0093] マスク処理後の位相誤差値に対して、増幅器3042によりクロック信号1400aの位相調整が行われ、積算器に含まれる加算器3043と遅延器3044および増幅器3045によりクロック信号1400aの周波数調整が行われる。位相誤差マスク器3041によって、マスク処理がなされた場合、クロック信号1400aの周波数が低いときには正の位相誤差値しか出力されないため、クロック信号1400aの周波数は再生信号1200aの周波数に向けて単調に高くなっていく。また、クロック信号1400aの周波数が高いときには負の位相誤差値しか出力されないため、クロック信号1400aの周波数は再生信号1200aの周波数に向けて単調に低くなっていく。その結果、周波数がほぼ一致する範囲に入ると、マスク処理が行われないようになり、位相調整が行われ、再生信号1200aに位相同期したクロック信号1400aが得られるようになる。また、増幅器3045において、分布検出結果1500aが正あるいは負に偏りがあることを示しているときには、倍率bを大きくすることにより、周波数引込の時間をさらに短縮することが可能となる。

[0094] 図15は、再生信号1200aに対してクロック信号1400aの周波数がPLLがキャプチャできないだけ高い側にずれている場合における、変位分布検出器1500とループフィルタ1304の動作を示すタイミング図である。図15において、(A)は位相誤差値1303a、(B)は微分フィルタ出力値1501a、(C)は積算値1512a、(D)は分布検出結

果1500a、(E)は位相誤差マスク器の出力値、(F)は制御信号304aの時間軸における変化を示している。前半部分においては、クロック信号1400aの周波数がPLLがキャプチャできないだけ高い状態にあるため、位相誤差値(A)は右下がりの傾きをもつ鋸歯状の波形となり、従って微分フィルタ出力値(B)は概ね負の値となり、符号の積算値(C)は負側に増加していく。符号の積算値(C)の絶対値が所定の閾値Bを超えると、分布検出結果(D)は負側に偏りがあることを示す値、例えば-1となる。分布検出結果(D)が-1となっている区間においては、位相誤差値(A)の正の値は位相誤差マスク器3041においてマスクされるため、マスク処理後の位相誤差値(E)に示すように負の値のみが出力される。その結果、クロック周波数の制御信号(F)は、はじめはキャプチャできず0付近の値であったが、クロック信号1400aの周波数を下げる方向へと制御されていく。クロック信号1400aの周波数が再生信号1200aの周波数にある程度近づくと、位相誤差値(A)の鋸歯状の傾きは小さくなり、微分フィルタ出力値(B)の絶対値も所定の閾値Aを超える頻度が少なくなるため、符号の積算値(C)の絶対値は減少傾向を示すようになる。符号の積算値(C)の絶対値の減少に伴い、所定の閾値Bを下回るようになると、分布の偏りが小さくなつたと判断されるため分布検出結果(D)は偏りがないことを示す値、例えば0となり、位相誤差マスク器3041によるマスク処理が行われなくなり、位相誤差値(A)がそのまま出力される。この状態においては、再生信号1200aとクロック信号1400aの周波数誤差はPLLがキャプチャできる範囲内にまで収まっているため、クロック周波数の制御信号(F)は、再生信号1200aに大してクロック信号1400aが位相同期する安定した状態に制御されることが可能となる。

[0095] 以上述べたように、実施の形態2によれば、PLLが再生信号とクロック信号との周波数誤差をキャプチャできていない状態を再生信号の品質が悪い状態であっても正確に検出することができ、検出結果に応じて周波数誤差がキャプチャレンジ内におさまるようにクロック信号の周波数を制御することにより、その後安定したクロック信号を生成することができるようになる。

[0096] また、位相誤差値の変位の分布を、位相誤差値の変位の符号を積算した積算値により求めることにより、多数の位相誤差値を保持する必要がなく、小規模な回路で高

精度な検出を実現することができる。

- [0097] なお、クロック信号生成回路1300の構成からオフセットキャンセラ1302を省略してもよい。この場合には、位相誤差算出器1303は、A／D変換器1301から出力されるデジタル値に基づいて位相誤差値を算出するようにすればよい。
- [0098] なお、クロック信号生成回路1300の一部もしくは全部を单一の半導体チップ上に形成してもよい。例えば、図9に示されるクロック信号生成回路1300の構成のうち、オフセットキャンセラ1302、位相誤差算出器1303、ループフィルタ1304および変位分布検出器1600を半導体集積回路として実現してもよい。
- [0099] なお、クロック信号生成回路1300の中に実施の形態1で説明した同期判定器600の構成と同様の構成を有する同期判定器600aを設け、同期判定器600aを用いて変位分布検出の有効、無効を制御するようにしてもよい。例えば、同期判定器600aが再生信号とクロック信号とが同期状態ないと判定した場合には変位分布検出器1500による検出を有効とし、同期判定器600aが再生信号とクロック信号とが同期状態にあると判定した場合には変位分布検出器1500による検出を無効とすればよい。
- [0100] また、同期判定器600と同様に、同期判定器600aが、エラーが検出された場合には再生信号とクロック信号とが同期状態ないと判定するようにしてもよい。
- [0101] さらに、同期判定器600と同様に、同期判定器600aが、再生信号とクロック信号とが同期状態ないと判定した場合にはオフセットキャンセラ1302のゲインが高くなるようにオフセットキャンセラ1302を制御し、再生信号とクロック信号とが同期状態にあると判定した場合にはオフセットキャンセラ1302のゲインが低くなるようにオフセットキャンセラ1302を制御するようにしてもよい。
- [0102] (実施の形態3)  
図16は、本発明の実施の形態3におけるクロック信号生成装置の構成を示すブロック図である。図16において、図9に示す構成要素と同じ構成要素については同じ参照符号を付し、説明を省略する。
- [0103] A／D変換器1301から出力されるデジタル値1301aの中心レベルがゼロになるように制御するオフセットキャンセラ1302は、ゼロレベル検出器3021と、2値化DUTY検出器3022と、積算器3023と、減算器3025と、高域強調フィルタ3024とを備える

。

[0104] 高域強調フィルタ3024は、オフセットキャンセル後デジタル値1302aの高域成分を増幅した高域強調フィルタ出力値3024aを出力する。例えば、振幅が小さくなりやすい2Tや3Tなどの短マークあるいは短スペース部分を増幅させる。図17に、高域強調フィルタの構成例を示す。図17に示す高域強調フィルタは、5次のFIRフィルタであり、遅延器1701、1702、1703、1704、1705で入力されるデジタル値1302aをクロック信号1400aに同期して遅延させ、遅延器の値を乗算器1706、1707、1708、1709、1710にそれぞれ入力し、5つの乗算値を加算器1711にて加算した値3024aを出力する。5つの乗算器の係数P、Q、R、S、Tは、例えばP=2、Q=-18、R=-63、S=-18、T=2としてもよい。

[0105] ゼロレベル検出器3021は、位相誤差算出器1303と同様に、オフセットキャンセル後デジタル値1302aからゼロクロスポイントを抽出し、ゼロクロスポイントを挟む2つのデジタル値のうち絶対値の小さい側をゼロクロス位置と判定し、その値をゼロレベル検出値3021aとして出力する。

[0106] 2値化DUTY検出器3022は、高域強調フィルタ出力値3024aを、絶対値が同じである対極の値をとるように2値化した2値化検出値3022aを出力する。例えば、高域強調フィルタ出力値3024aが正の値のときは+1、負の値のときは-1とする。

[0107] 積算器3023は、ゼロレベル検出値3021aと2値化検出値3022aを加算した値を積算し、積算値を2値化レベル値3023aとして出力する。

[0108] 減算器3025においてデジタル値1301aから2値化レベル値3023aを減算する。

[0109] 以上のループ構成により、2値化レベル値3023aは徐々にゼロに近づくよう制御され、デジタル値1301aに含まれる低域の変動成分を除去することができる。

[0110] 分布検出用位相誤差算出器1305は、高域強調フィルタ出力値3024aを入力として、位相誤差算出器1303と同様の動作をし変位分布検出器1500に対して、分布検出用位相誤差算出値1305aと、分布検出用位相誤差算出タイミング信号1305bとを出力する。

[0111] 以上述べたように、実施の形態3によれば、再生信号1200aの高域成分の振幅が小さくS/Nが低い場合においても、高域強調フィルタ3024により2値化の精度やゼ

クロスポイントの検出精度を向上させることができ、安定したオフセットキャンセル制御と位相誤差分布検出が可能となる。

[0112] なお、実施の形態3において、高域強調フィルタを5次のFIRフィルタとしたが、例えば特許文献5、特許文献6に示すような波形等化器、あるいは特許文献7に示すような最尤復号器でもよい。

[0113] (実施の形態4)

図18は、本発明の実施の形態4におけるディスク装置の構成を示すブロック図である。図18において、図9に示す構成要素と同じ構成要素については同じ参照符号を付し、説明を省略する。

[0114] ディスク装置は、光ディスク1101にレーザ1102aを照射する光ヘッド1102、光ディスク1101を回転させるモータ1103、モータ1103と光ヘッド1102を制御するサーボ回路1606、光ヘッド1102によって得られた電気信号1102bからデータ再生信号1200aとサーボ用再生信号1200bを抽出するアナログ信号処理回路1200、前述の実施の形態2から実施の形態3で説明したクロック信号生成回路1300、デジタル値1302aから再生データ1601aを抽出するリードチャネル回路1601、再生データ1601aの復調を行うデータ復調回路1602、データ復調結果1602aからアドレス情報1603aを抽出するアドレスデコーダ1603、データ復調結果1602aを格納するバッファメモリ1604、全体を制御するCPU1605、外部のホストコンピュータとのインターフェース回路1607を備える。

[0115] 光ヘッド1102から照射したレーザを光ディスク1101のトラック上に集光し、トラックを走査しながら、光ディスク1101からの反射光量を検出して電気信号1102bを出力する。アナログ信号処理回路1200は、電気信号1102bから、光ディスク1101上に記録されている情報に応じた再生信号1200aと、光ディスク1101上に形成されているトラックに対する走査状態に応じたサーボ用再生信号1200bとを抽出する。

[0116] サーボ回路1606は、サーボ用再生信号1200bを用いて、モータ1103の回転数と、光ヘッド1102におけるレーザの集光状態、トラックの走査状態が最適な状態になるように制御を行う。

[0117] クロック信号生成回路1300は、再生信号1200aに同期したクロック信号1400aを

抽出し、クロック信号1400aに同期して再生信号1200aをサンプリングしたデジタル値1302aを出力する。

- [0118] リードチャネル回路1601は、デジタル値1302aを2値化した再生データ1601aを抽出し、さらにデータ復調回路1602において再生データ1601aを復調することにより、光ディスク1101に記録されているデジタル情報を得ることができる。
- [0119] アドレスデコーダ1603は、復調結果1602aに含まれるアドレス値1603aを抽出し、CPU1605へ伝送する。
- [0120] CPU1605は、アドレス値1603aを得ながら、再生動作を制御し、インターフェース1607を介して、ホストコンピュータと情報の入出力を行う。
- [0121] 以上述べたように、本実施の形態4によれば、実施の形態2から実施の形態3に記載のクロック信号生成回路で生成したクロック信号を用いることにより、光ディスク1101の品質や、光ヘッド1102の性能の劣化によって再生信号の品質が悪くなつても、安定してデジタル情報を再生することが可能となる。
- [0122] なお、本発明のクロック信号生成装置は集積回路であるLSIとして実現され得る。クロック信号生成装置が備える構成要素は個別に1チップ化されてもよいし、一部または全てを含むように1チップ化されてもよい。
- [0123] ここでは、集積回路をLSIと呼んだが、集積度の違いにより、IC、システムLSI、スーパーLSI、ウルトラLSIと呼称されることもある。
- [0124] また、本発明の集積回路はLSIに限るものではなく、専用回路または汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)や、LSI内部の回路セルの接続や設定を再構成可能なりコンフィギュラブル・プロセッサを利用してもよい。
- [0125] さらには、半導体技術の進歩または派生する別技術によりLSIに置き換わる集積回路化の技術が登場すれば、当然、その技術を用いて機能ブロックの集積化を行ってもよい。バイオ技術の適応等が可能性としてあり得る。
- [0126] 以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、

本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができる事が理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

### 産業上の利用可能性

[0127] 本発明は、入力される再生信号の周波数が急激に変化したり、再生信号が一時的に振幅が小さくなるなど異常状態になっても、即座に同期したクロック信号を生成することができるという効果を有しており、光ディスク装置においてデータの再生に用いるPLL回路などとして有用である。

[0128] また、本発明は、再生信号とクロック信号との周波数が離れていて、かつ再生信号の品質が悪い状態であっても、即座に同期したクロック信号を生成することができるという効果を有しており、光ディスク装置においてデータの再生に用いるクロック信号生成回路などとして有用である。

## 請求の範囲

[1] 情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置であつて、

前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA/D変換手段と、

前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す位相誤差値を算出する位相誤差算出手段と、

前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するループフィルタ手段と、

前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するクロック発振手段と、

前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを判定する位相誤差範囲判定手段と

を備え、

前記位相誤差算出手段は、前記複数のデジタル値のゼロクロスポイントを検出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出する、クロック信号生成装置。

[2] 前記位相誤差範囲判定手段は、前記位相誤差値を平滑化するローパスフィルタ手段を含み、

前記位相誤差範囲判定手段は、前記ローパスフィルタ手段の出力値と所定の閾値との比較結果に基づいて前記位相誤差が前記所定の範囲内にあるかどうかを判定する、請求項1に記載のクロック信号生成装置。

[3] 前記位相誤差範囲判定手段は、前記位相誤差が前記所定の範囲内にないと判定

した場合には、前記ループフィルタ手段のゲインが高くなるように前記ループフィルタ手段を制御する、請求項1に記載のクロック信号生成装置。

[4] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、  
前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記位相誤差範囲判定手段による判定を有効とし、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記位相誤差範囲判定手段による判定を無効とする、請求項1に記載のクロック信号生成装置。

[5] 前記デジタル値を2値化するレベルを検出し、前記レベルに基づいて前記デジタル値のオフセット成分をキャンセルするオフセットキャンセル手段をさらに備え、  
前記位相誤差算出手段は、前記オフセットキャンセル手段によってオフセットキャンセルされたデジタル値に基づいて、前記位相誤差値を算出する、請求項1に記載のクロック信号生成装置。

[6] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、  
前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記オフセットキャンセル手段のゲインが高くなるように前記オフセットキャンセル手段を制御し、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記オフセットキャンセル手段のゲインが低くなるように前記オフセットキャンセル手段を制御する、請求項5に記載のクロック信号生成装置。

[7] 前記デジタル値を所定の区間毎に積算する積算手段と、  
前記積算手段による積算値を平均化する平均化手段と、  
前記積算手段による積算値と前記平均化手段による平均値との差が所定の閾値より大きいときにエラー検出するエラー検出手段をさらに備え、  
前記同期判定手段は、前記エラー検出手段によりエラー検出されたときは同期状態ないと判定する、請求項4に記載のクロック信号生成装置。

[8] 情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置において使用される半導体集積回路であって、

前記クロック信号生成装置は、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA／D変換手段と、前記クロック信号を生成するクロック発振手段とを含み、

前記半導体集積回路は、

前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す位相誤差値を算出する位相誤差算出手段と、

前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するループフィルタ手段と、

前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを判定する位相誤差範囲判定手段と

を備え、

前記位相誤差算出手段は、前記複数のデジタル値のゼロクロスポイントを検出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出し、前記位相誤差範囲判定手段によって前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出し、

前記クロック発振手段は、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成する、半導体集積回路。

[9] 情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成し、前記クロック信号に同期して前記再生信号をデジタル化した再生データを出力するデータ再生方法であって、

(a) 前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するステップと、

(b) 前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信

号との位相誤差を示す位相誤差値を算出するステップと、

(c) 前記位相誤差値に基づいて、前記クロック信号の周波数を制御する制御信号を出力するステップと、

(d) 前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するステップと、

(e) 前記位相誤差値に基づいて、前記位相誤差が所定の範囲内にあるかどうかを判定するステップと

を包含し、

前記ステップ(b)は、

前記複数のデジタル値のゼロクロスポイントを検出するステップと、

前記位相誤差範囲判定ステップにおいて前記位相誤差が前記所定の範囲内にあると判定された場合には、前記ゼロクロスポイントの前後にある2つのデジタル値のうちゼロレベルに近い側のデジタル値に基づいて前記位相誤差値を算出するステップと、

前記位相誤差範囲判定ステップにおいて前記位相誤差が前記所定の範囲内にないと判定された場合には、前記2つのデジタル値のうちゼロレベルから遠い側のデジタル値に基づいて前記位相誤差値を算出するステップと

を包含する、データ再生方法。

[10] 情報が記録されたディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置であって、

前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA/D変換手段と、

前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す第1の位相誤差値を算出する第1の位相誤差算出手段と、

前記第1の位相誤差値の変位の分布を検出する第1の変位分布検出手段と、

前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果に基づいて、前記クロック信号の周波数を制御する制御信号を生成するループフィルタ

手段と、

前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するクロック発振手段と

を備え、

前記ループフィルタ手段は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成する、クロック信号生成装置。

[11] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、

前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記第1の変位分布検出手段による検出を有効とし、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記第1の変位分布検出手段による検出を無効とする、請求項10に記載のクロック信号生成装置。

[12] 前記デジタル値を所定の区間毎に積算する積算手段と、

前記積算手段による積算値を平均化する平均化手段と、

前記積算手段による積算値と前記平均化手段による平均値との差が所定の閾値より大きいときにエラー検出するエラー検出手段をさらに備え、

前記同期判定手段は、前記エラー検出手段によりエラー検出されたときは同期状態ないと判定する、請求項11に記載のクロック信号生成装置。

[13] 前記ループフィルタ手段は、前記分布の偏りが大きいときに、前記位相誤差値において偏りが小さくなる極性の値のみ用いる、請求項10に記載のクロック信号生成装置。

[14] 前記変位分布検出手段は、前記変位の符号を積算することにより分布を検出する、請求項10に記載のクロック信号生成装置。

[15] 前記変位分布検出手段は、前記変位の絶対値が所定の値より大きいときのみ前記変位の符号を積算する、請求項14に記載のクロック信号生成装置。

[16] 前記変位分布検出手段は、前記変位の絶対値が所定の値より小さいときは、前記変位の符号を積算した積算値の絶対値が小さくなる方向に前記積算値を増加あるいは減少させる、請求項15に記載のクロック信号生成装置。

[17] 前記デジタル値の高域成分を強調する高域強調フィルタ手段と、  
前記高域強調フィルタ手段の出力信号に基づいて前記再生信号と前記クロック信号との位相誤差を示す第2の位相誤差値を算出する第2の位相誤差算出手段と、  
前記第2の位相誤差値の変位の分布を検出する第2の変位分布検出手段と  
をさらに備え、  
前記ループフィルタ手段は、前記第2の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成する、請求項10に記載のクロック信号生成装置。

[18] 前記デジタル値を2値化するレベルを検出し、前記レベルに基づいて前記デジタル値のオフセット成分をキャンセルするオフセットキャンセル手段をさらに備え、  
前記第1の位相誤差算出手段は、前記オフセットキャンセル手段によってオフセットキャンセルされたデジタル値に基づいて前記第1の位相誤差値を算出し、  
前記高域強調フィルタ手段は、前記オフセットキャンセル手段に含まれている、請求項17に記載のクロック信号生成装置。

[19] 前記制御信号の振幅に基づいて、前記再生信号と前記クロック信号とが同期状態にあるかどうか判定する同期判定手段をさらに備え、  
前記同期判定手段は、前記再生信号と前記クロック信号とが同期状態ないと判定した場合には前記オフセットキャンセル手段のゲインが高くなるように前記オフセットキャンセル手段を制御し、前記再生信号と前記クロック信号とが同期状態にあると判定した場合には前記オフセットキャンセル手段のゲインが低くなるように前記オフセットキャンセル手段を制御する、請求項18に記載のクロック信号生成装置。

[20] 情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成するクロック信号生成装置において使用される半導体集積回路であって、  
前記クロック信号生成装置は、前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するA/D変換手段と、前記クロック信号を生成するクロック発振手段とを含み、  
前記半導体集積回路は、  
前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号

との位相誤差を示す第1の位相誤差値を算出する第1の位相誤差算出手段と、  
前記第1の位相誤差値の変位の分布を検出する第1の変位分布検出手段と、  
前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果に基づいて、前記クロック信号の周波数を制御する制御信号を生成するループフィルタ手段と

を備え、

前記ループフィルタ手段は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成し、

前記クロック発振手段は、前記制御信号に応じた周波数を有する信号を前記クロック信号として生成する、半導体集積回路。

[21] 情報が記録された光ディスクから再生された再生信号に同期したクロック信号を生成し、前記クロック信号に同期して前記再生信号をデジタル化した再生データを出力するデータ再生方法であって、

(a) 前記クロック信号に応答して前記再生信号をサンプリングし、前記サンプリングされた再生信号をデジタル値に変換することにより、複数のデジタル値を時系列に生成するステップと、

(b) 前記複数のデジタル値のそれぞれに基づいて、前記再生信号と前記クロック信号との位相誤差を示す第1の位相誤差値を算出するステップと、

(c) 前記第1の位相誤差値の変位の分布を検出するステップと、

(d) 前記第1の位相誤差値と前記第1の位相誤差値の変位の分布の検出結果に基づいて、前記クロック信号の周波数を制御する制御信号を生成するステップと、

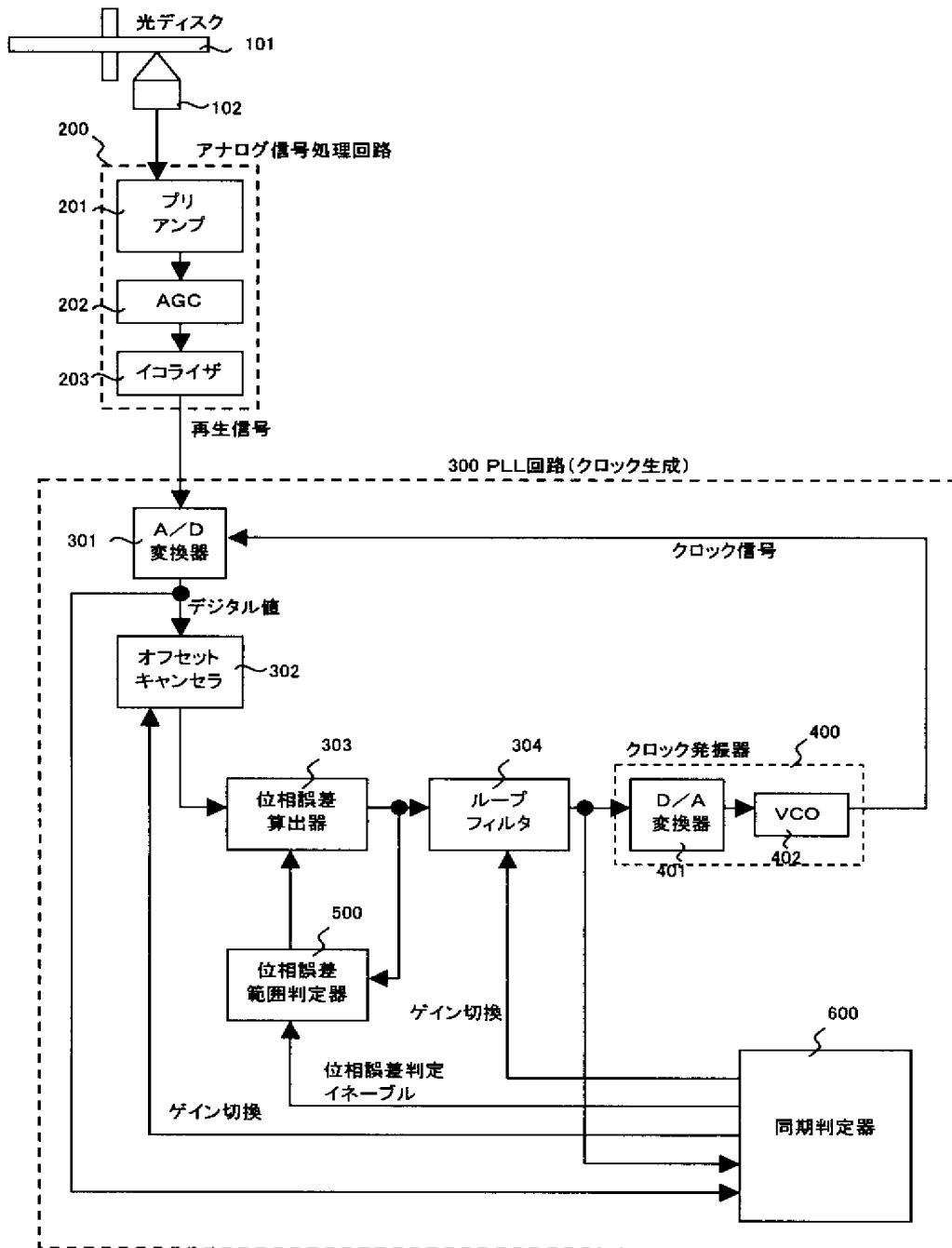
(e) 前記制御信号に応じた周波数を有する信号を前記クロック信号として生成するステップと

を包含し、

前記ステップ(d)は、前記第1の位相誤差値の変位の分布の偏りが小さくなるように前記制御信号を生成するステップを包含する、データ再生方法。

[図1]

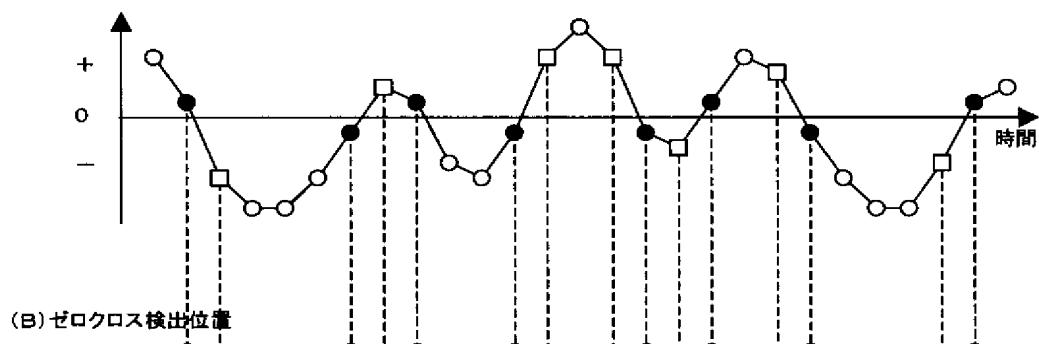
1



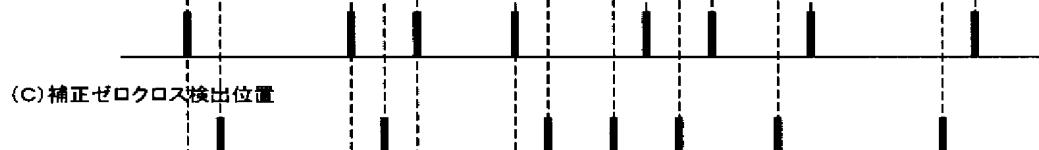
[図2]

図2

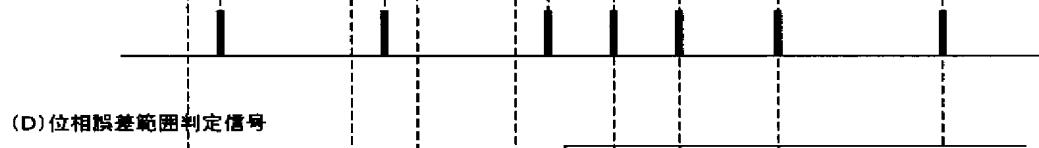
(A) デジタル値(オフセットキャンセル後)



(B) ゼロクロス検出位置



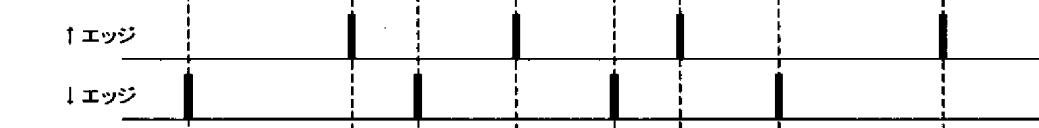
(C) 補正ゼロクロス検出位置



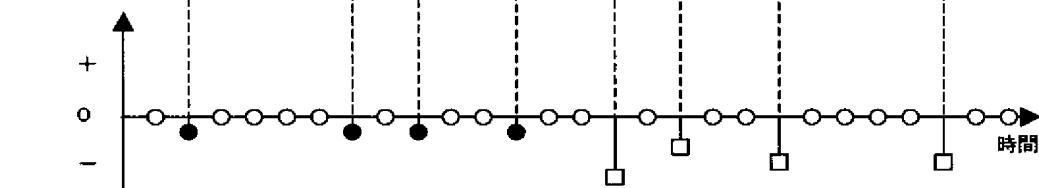
(D) 位相誤差範囲判定信号



(E) ゼロクロス検出信号

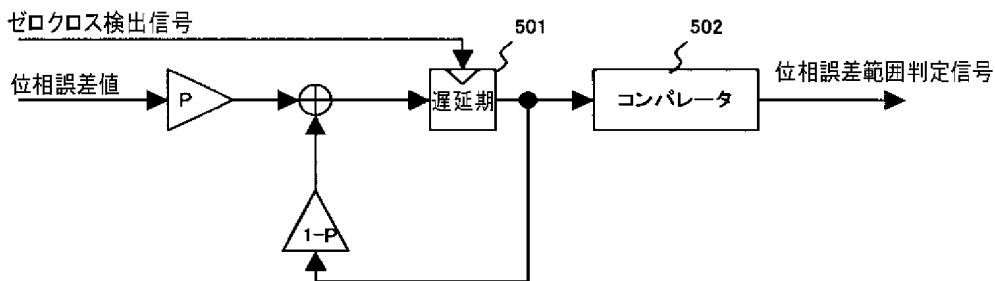


(F) 位相誤差値



[図3]

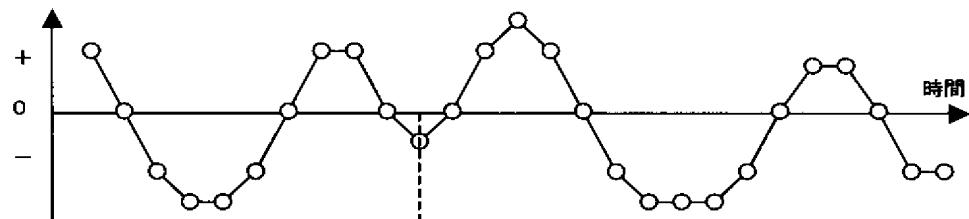
図3



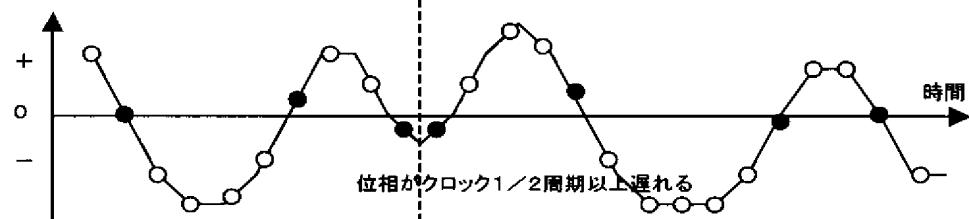
[図4]

図4

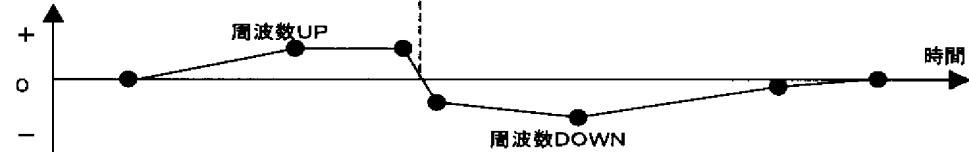
(A)周波数一致している場合のデジタル値(オフセットキャンセル後)



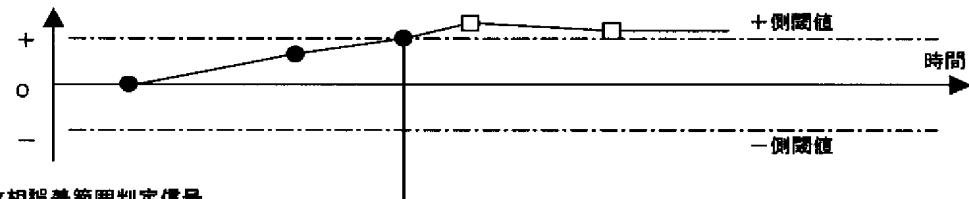
(B)周波数低い場合のデジタル値(オフセットキャンセル後)



(C)位相誤差値(補正なし)



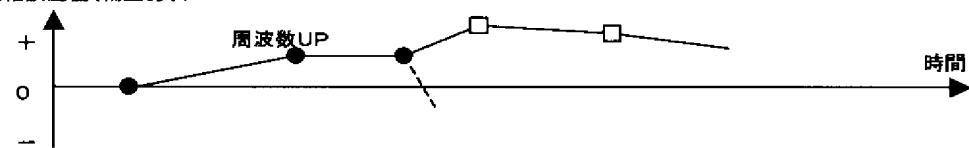
(D)遅延器の出力値



(E)位相誤差範囲判定信号

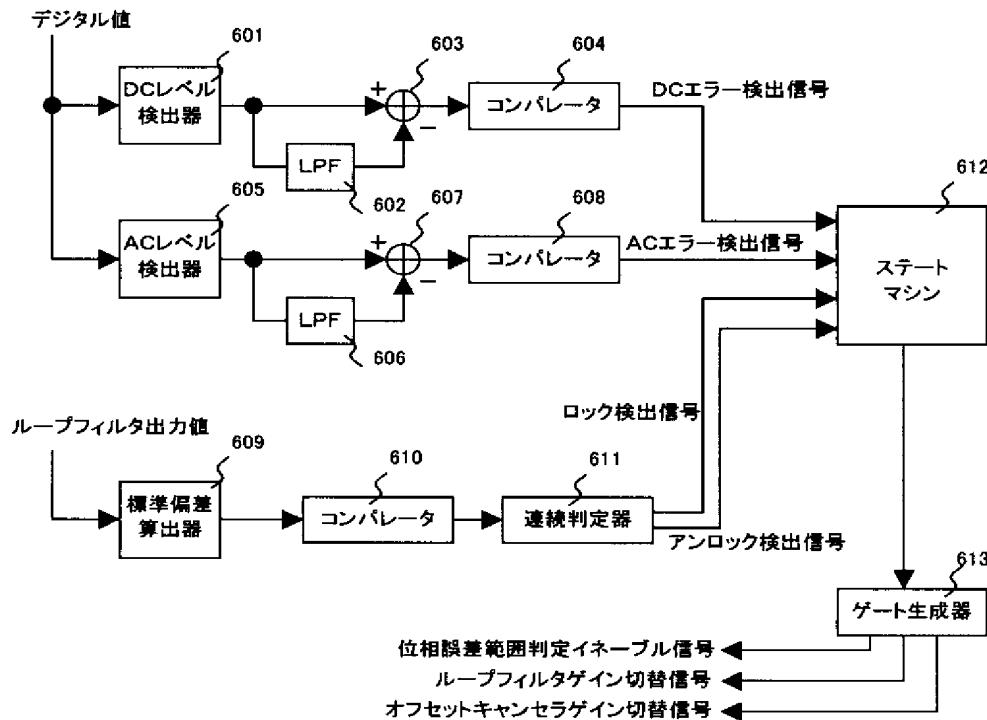
"L" → "H"

(F)位相誤差値(補正あり)



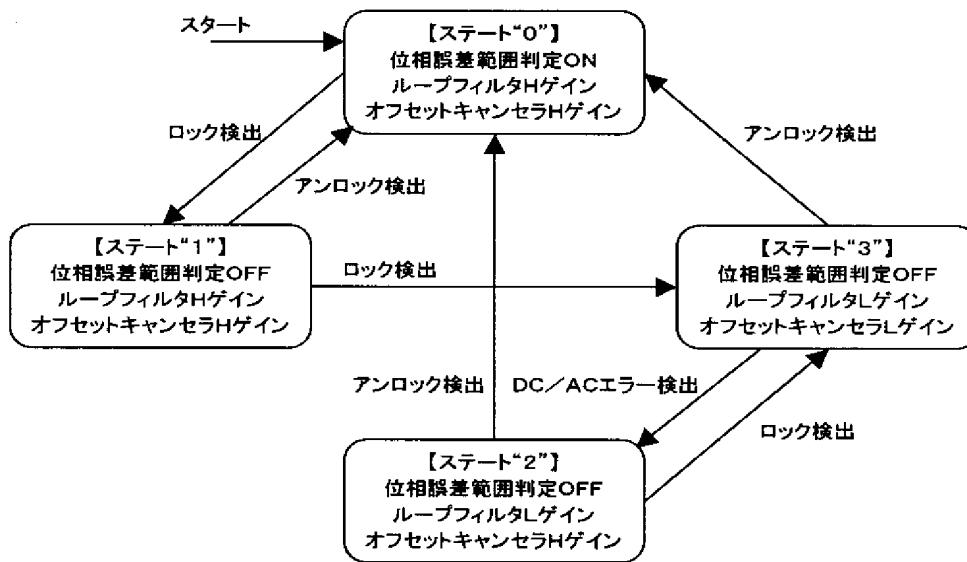
[図5]

図5



[図6]

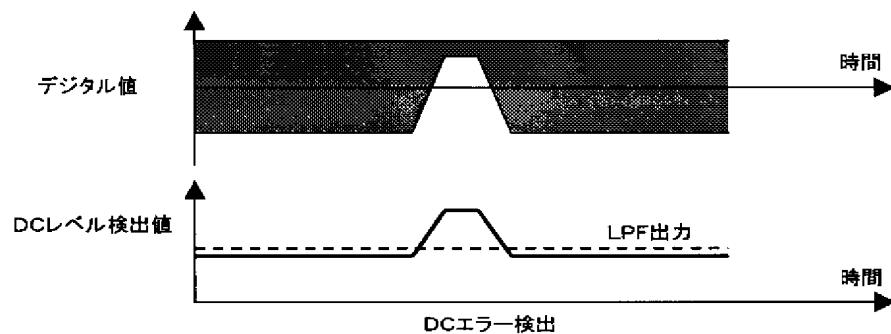
図6



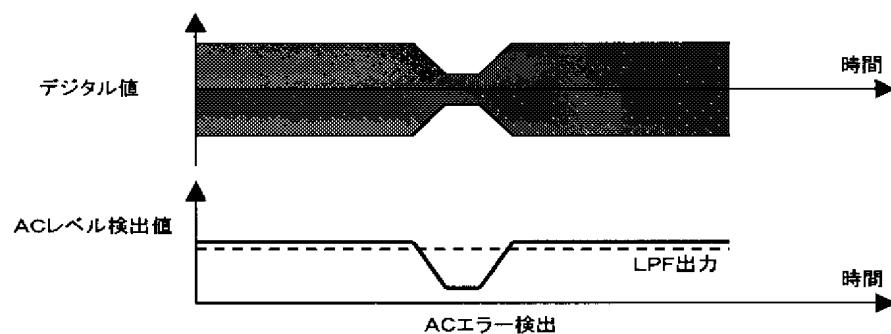
[図7]

図7

(A)DCエラー検出

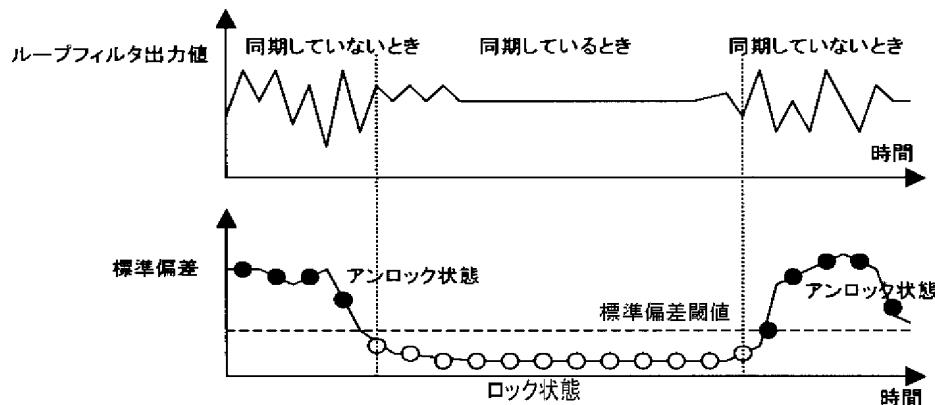


(B)ACエラー検出



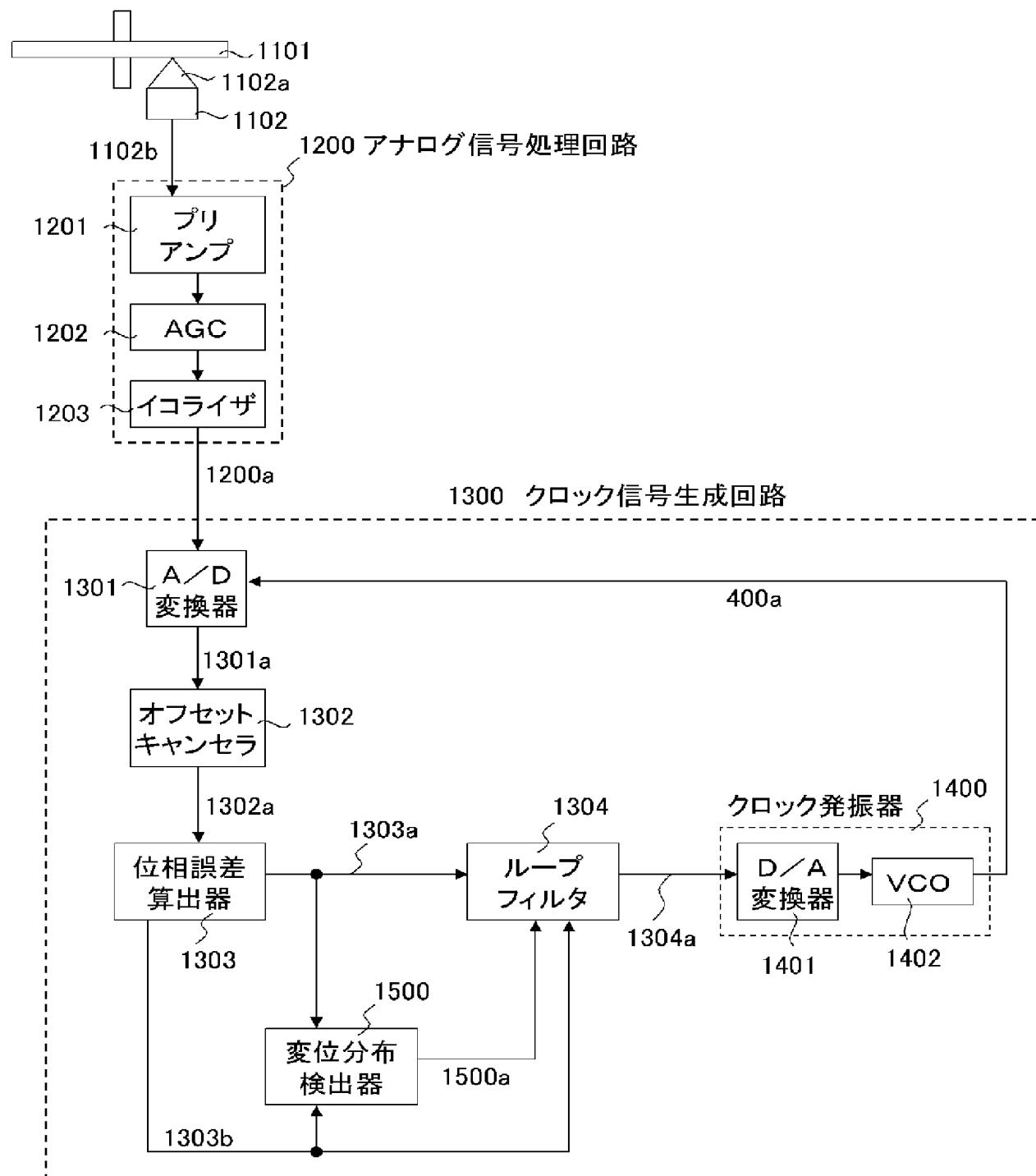
[図8]

図8



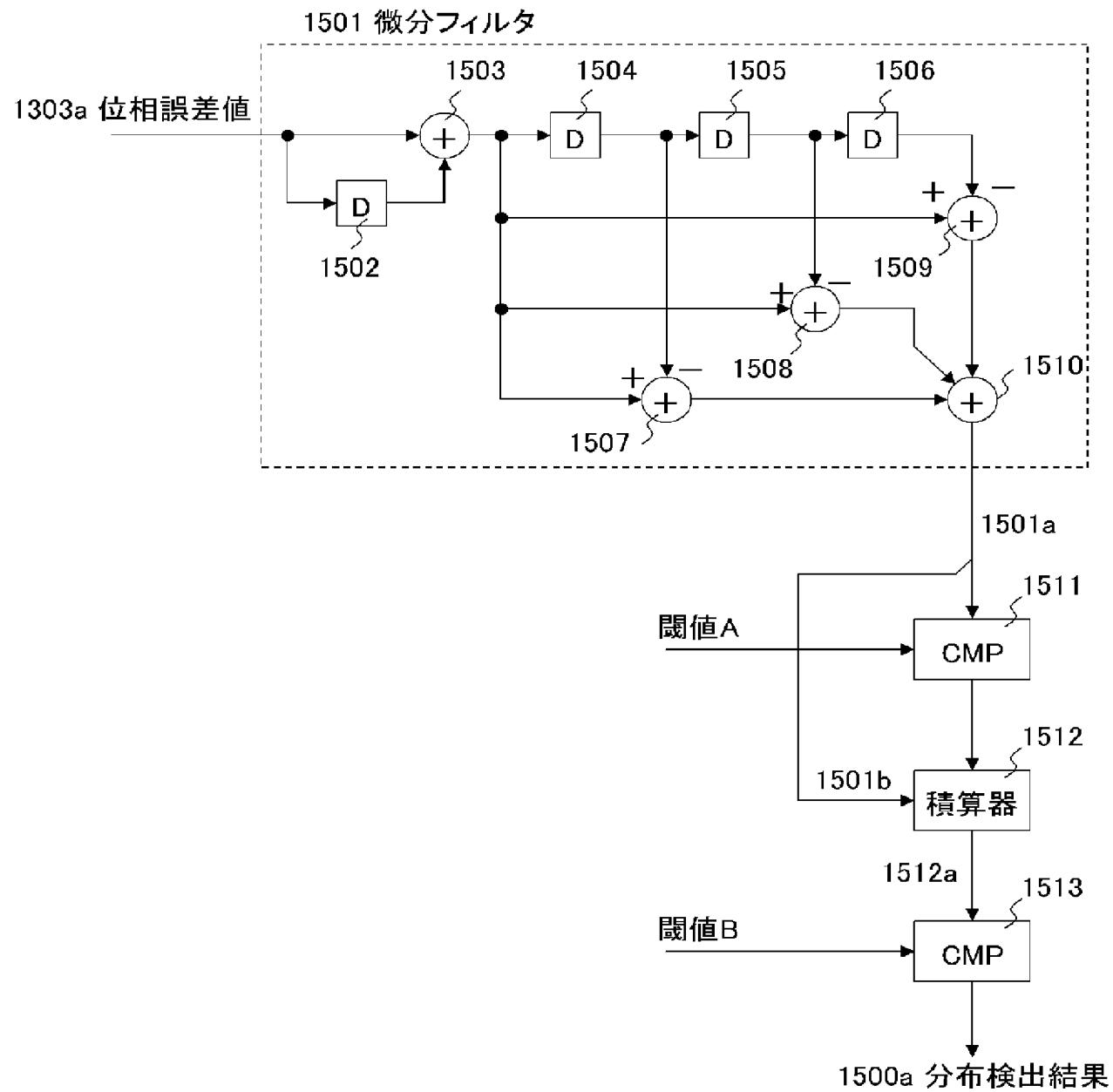
[図9]

図9



[図10]

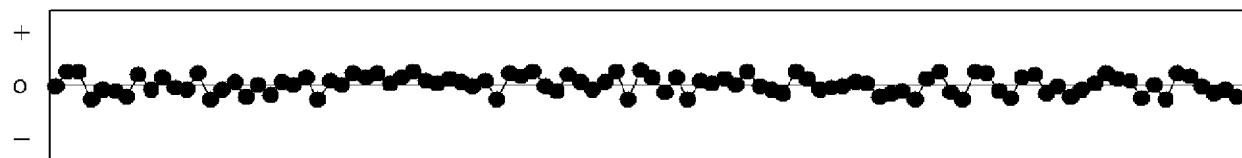
図10



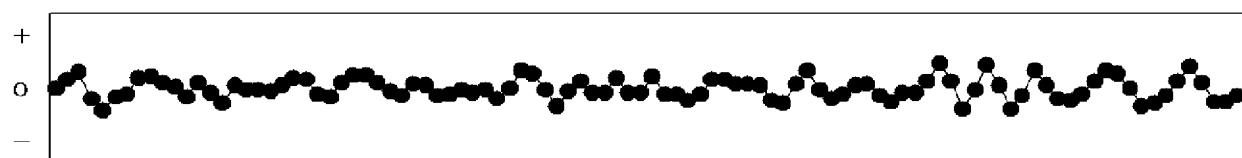
[図11]

**図11**

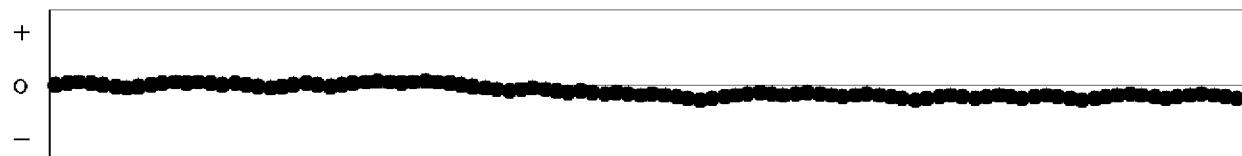
(A)周波数一致している場合の位相誤差値



(B)周波数一致している場合の微分フィルタ出力値



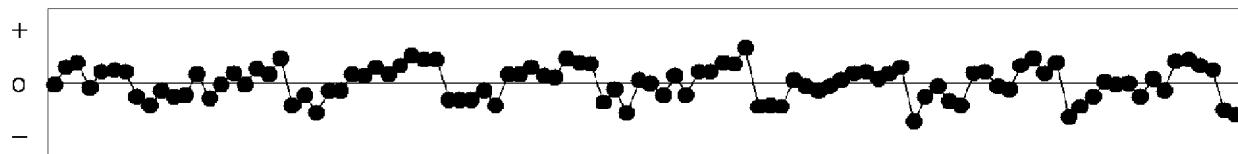
(C)周波数一致している場合の微分フィルタ出力値の符号の積算値



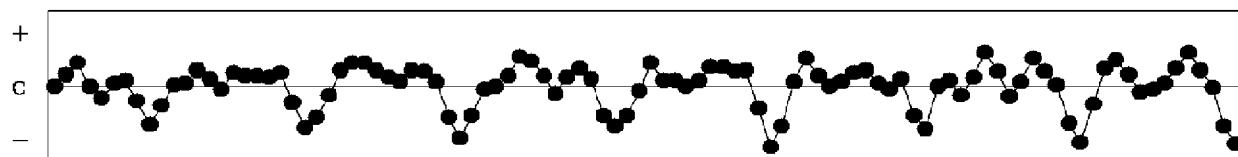
[図12]

**図12**

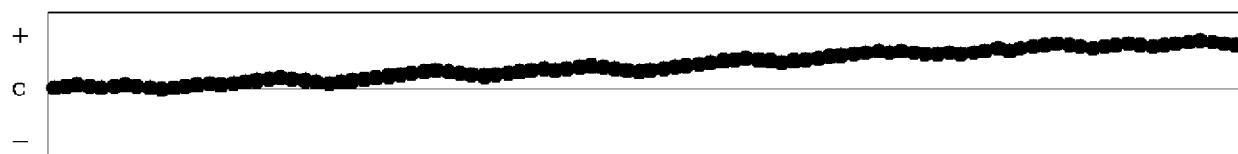
(A)クロック周波数低い場合の位相誤差値



(B)クロック周波数低い場合の微分フィルタ出力値



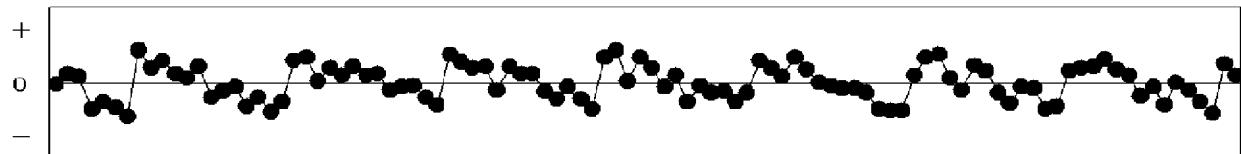
(C)クロック周波数低い場合の微分フィルタ出力値の符号の積算値



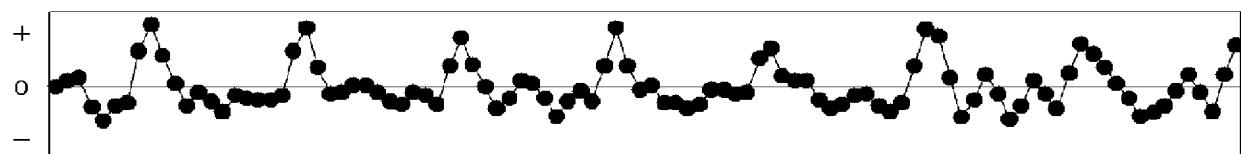
[図13]

図13

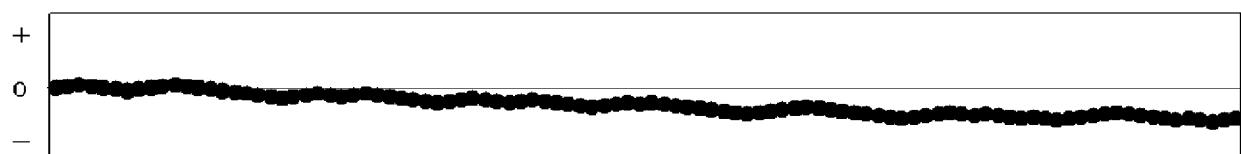
(A) クロック周波数高い場合の位相誤差値



(B) クロック周波数高い場合の微分フィルタ出力値

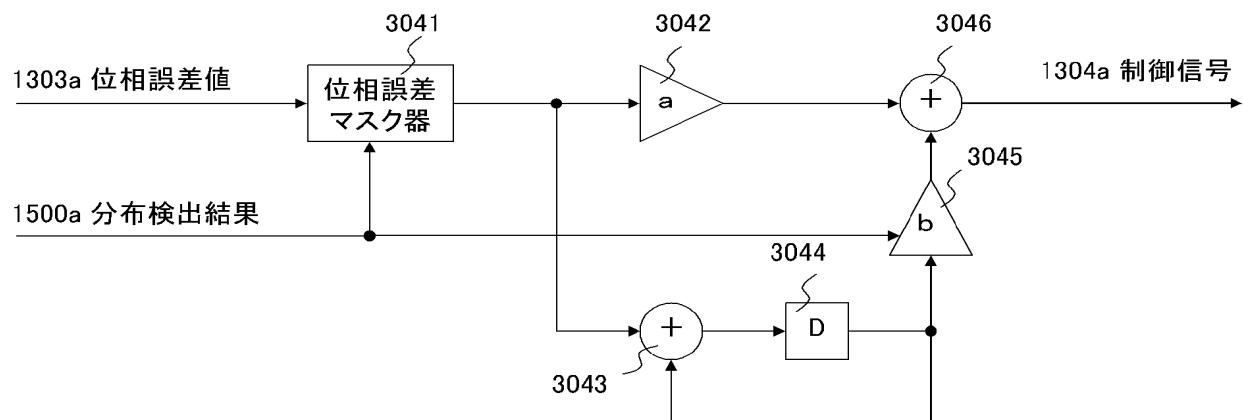


(C) クロック周波数高い場合の微分フィルタ出力値の符号の積算値



[図14]

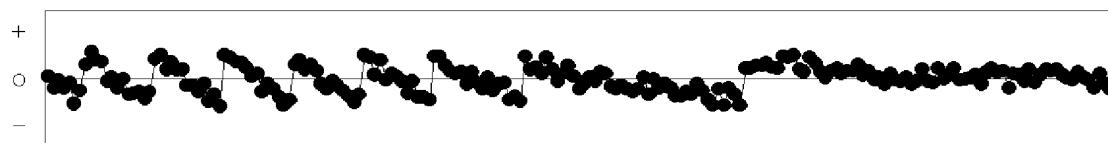
図14



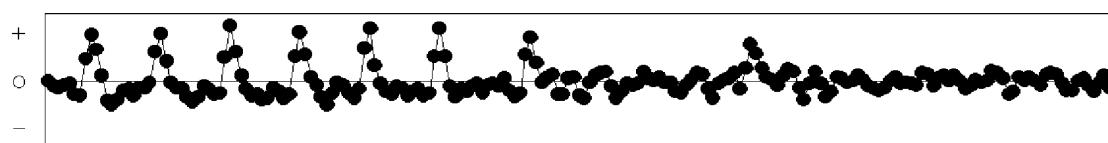
[図15]

**図15**

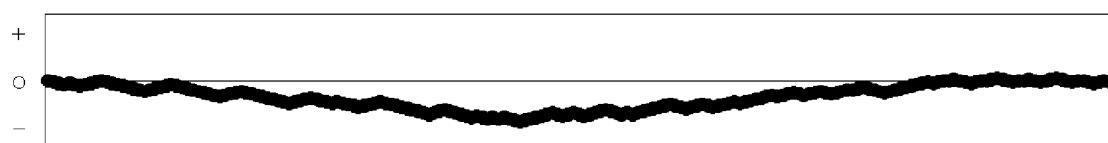
(A)位相誤差値



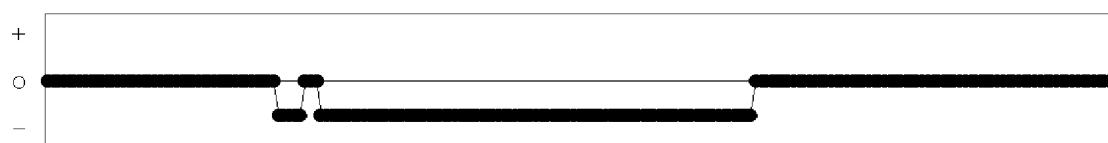
(B)微分フィルタ出力値



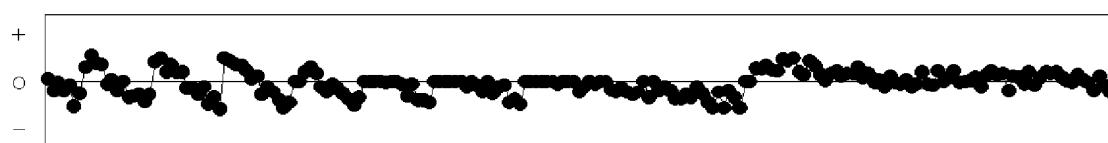
(C)微分フィルタ出力値の符号の積算値



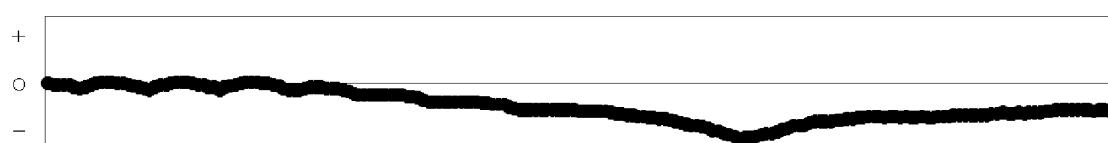
(D)分布検出結果



(E)マスク処理後の位相誤差値

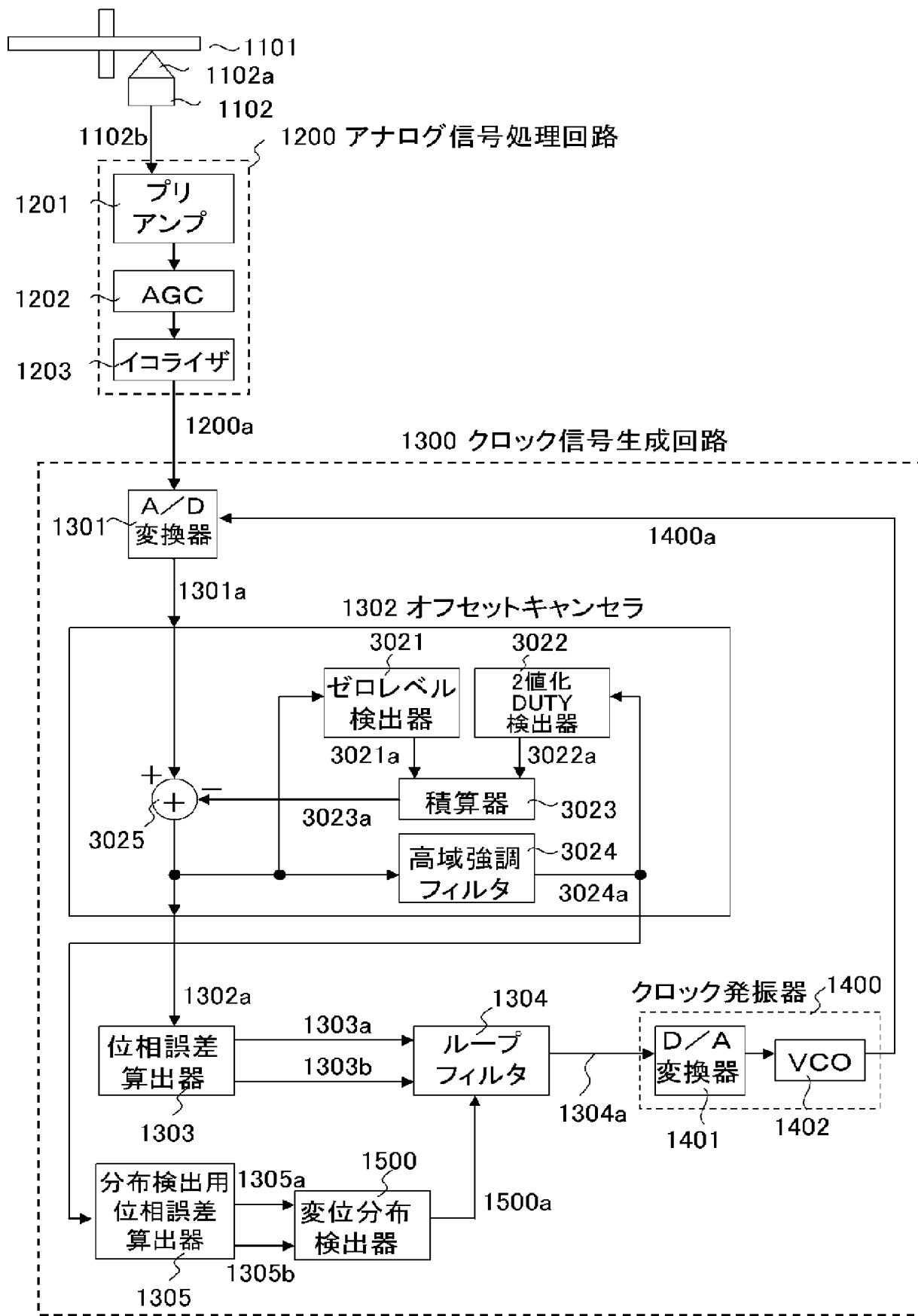


(F)クロック周波数の制御信号



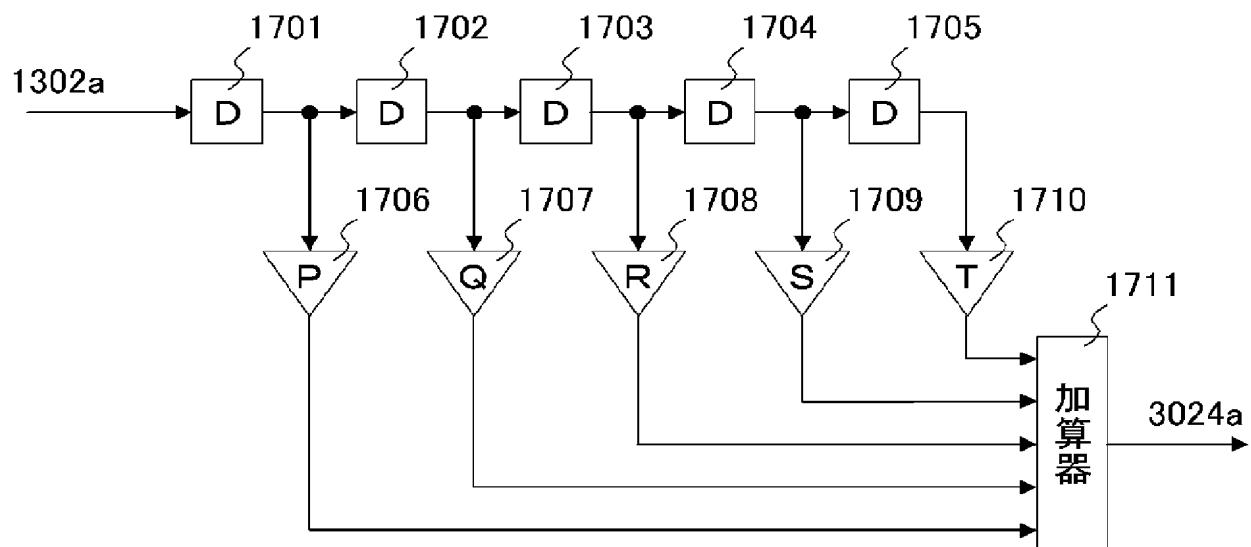
[図16]

図16



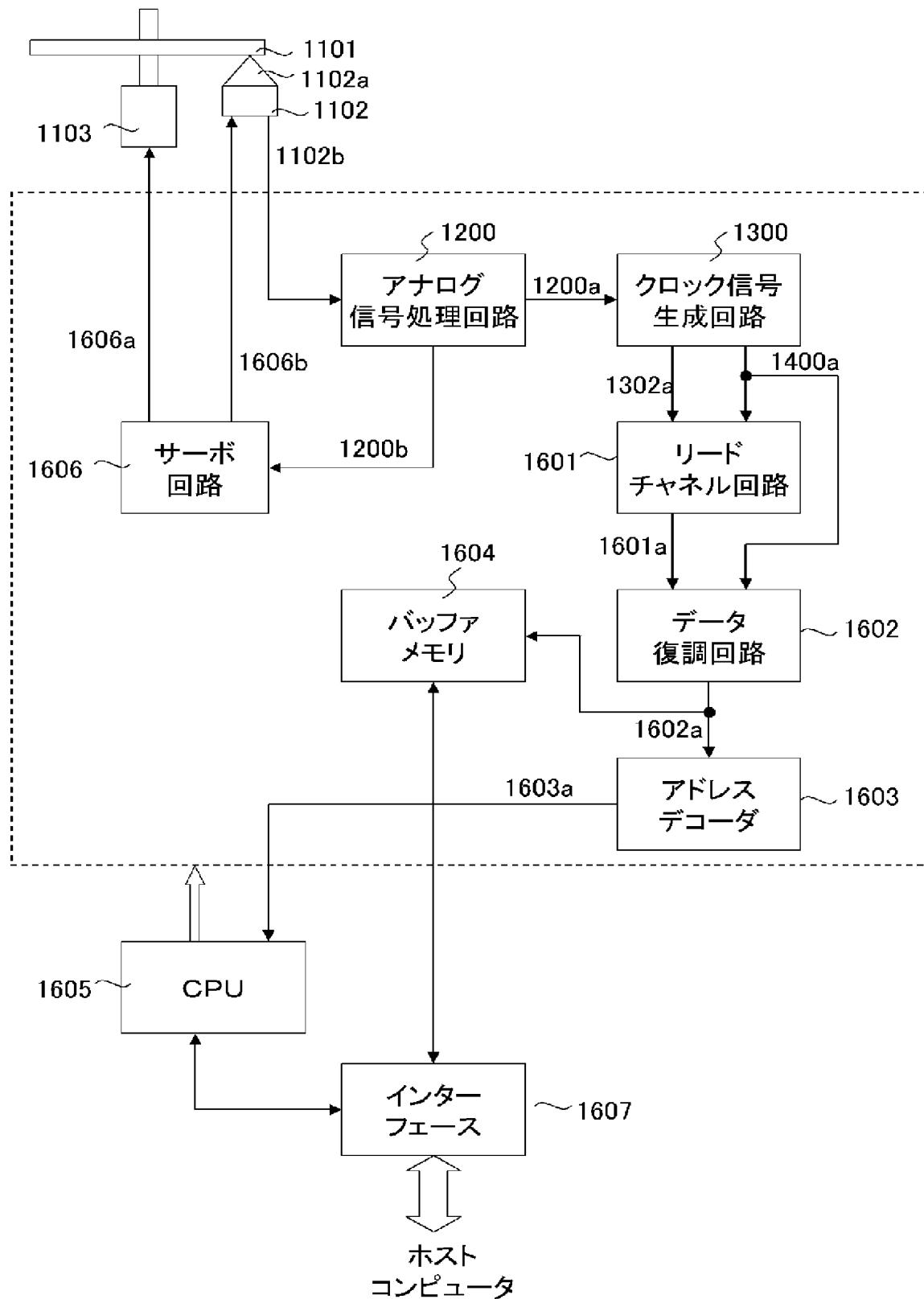
[図17]

図17



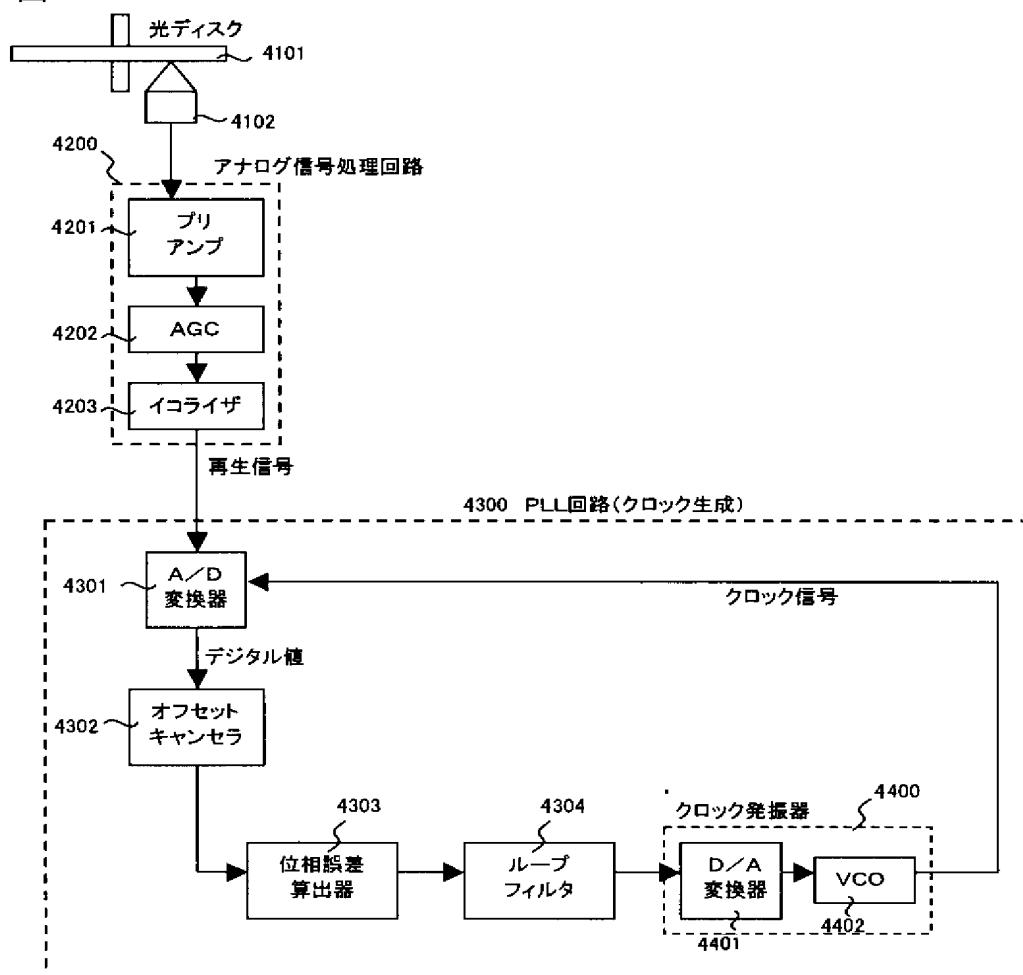
[図18]

図18



[図19]

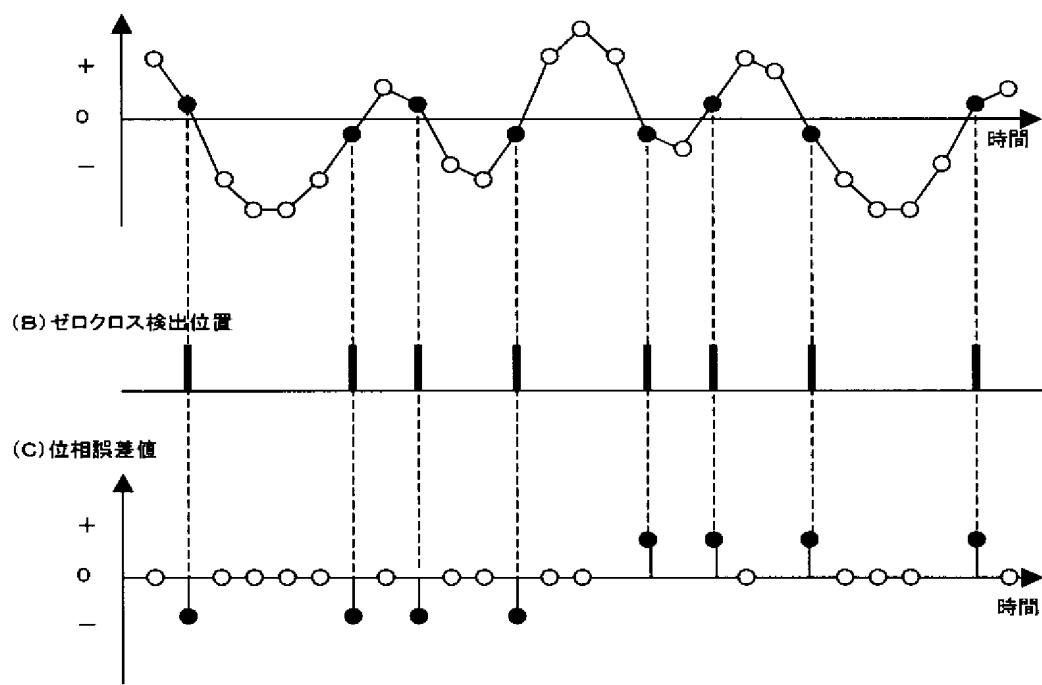
図19



[図20]

図20

(A) デジタル値(オフセットキャンセル後)



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/005288

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G11B20/14, 7/005, H03L7/08, 7/095, 7/107

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G11B20/14, 7/005, H03L7/08, 7/095, 7/107

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-107623 A (Sony Corp.), 24 April, 1998 (24.04.98), Par. Nos. [0033] to [0059] & US 5841323 A	10-11, 14-15, 20-21
A	JP 10-031869 A (Pioneer Electronic Corp.), 03 February, 1998 (03.02.98), Full text; all drawings & US 5963518 A	1-9
A	JP 9-023157 A (Pioneer Electronic Corp.), 21 January, 1997 (21.01.97), Full text; all drawings & US 5790613 A	10-21

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search  
10 June, 2005 (10.06.05)

Date of mailing of the international search report  
28 June, 2005 (28.06.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2005/005288
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT
---

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2004-095151 A (Victor Company Of Japan, Ltd.), 25 March, 2004 (25.03.04), Full text; all drawings & US 2004/0027948 A1	1-9

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2005/005288**Box No. II      Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III      Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-9 relate to obtaining a phase difference by selecting one of the sample values before and after the zero cross point depending on whether the phase difference is within a predetermined range.

The inventions of claims 10-21 relate to control of a loop filter according to phase difference displacement distribution.

Accordingly, these groups of inventions are not united into one invention nor so linked as to form a single general inventive concept.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

The additional search fees were accompanied by the applicant's protest.  
 No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int.Cl.<sup>7</sup> G11B20/14, 7/005, H03L7/08, 7/095, 7/107

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int.Cl.<sup>7</sup> G11B20/14, 7/005, H03L7/08, 7/095, 7/107

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 10-107623 A (ソニー株式会社) 1998.04.2 4, 段落番号【0033】-【0059】 & US 584132 3 A	10-11, 14-15, 20-21
A	J P 10-031869 A (パイオニア株式会社) 1998.02. 03, 全文, 全図 & US 5963518 A	1-9
A	J P 9-023157 A (パイオニア株式会社) 1997.01. 21, 全文, 全図 & US 5790613 A	10-21

C欄の続きにも文献が列挙されている。

〔パテントファミリーに関する別紙を参照。〕

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す  
もの

「E」国際出願日前の出願または特許であるが、国際出願日  
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行  
日若しくは他の特別な理由を確立するために引用す  
る文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって  
出願と矛盾するものではなく、発明の原理又は理論  
の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明  
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以  
上の文献との、当業者にとって自明である組合せに  
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 10.06.2005	国際調査報告の発送日 28.6.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 小林 大介 電話番号 03-3581-1101 内線 3591 5Q 9848

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	JP 2004-095151 A (日本ビクター株式会社) 2004.03.25, 全文, 全図 & US 2004/0027948 A1	1-9

**第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）**

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲\_\_\_\_\_は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2.  請求の範囲\_\_\_\_\_は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求の範囲\_\_\_\_\_は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

**第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）**

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1－9に係る発明は、位相誤差が所定の範囲内にあるか否かに基づいてゼロクロスボイントの前後にあるサンプル値の片方を選択して位相誤差を求めるものである。

請求項10－21に係る発明は、位相誤差の変位の分布に基づいてループフィルタを制御するものである。

したがって、これらは、一の発明であるとも、单一の一般的発明概念を形成するように関連している一群の発明であるとも認められない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

**追加調査手数料の異議の申立てに関する注意**

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。